

22.12.00

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JP 00/9129

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 1月14日

REC'D 02 MAR 2001

WIPO PCT

出 願 番 号
Application Number:

特願2000-005161

4

出 願 人
Applicant(s):

三菱電機株式会社

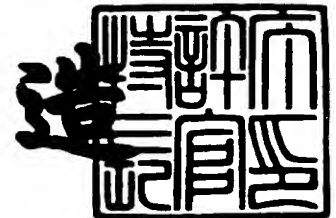
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3005395

【書類名】 特許願

【整理番号】 522196JP01

【提出日】 平成12年 1月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 9/06

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 反町 亨

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 時田 俊雄

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100099461

【弁理士】

【氏名又は名称】 溝井 章司

【選任した代理人】

【識別番号】 100111497

【弁理士】

【氏名又は名称】 波田 啓子

【選任した代理人】

【識別番号】 100111800

【弁理士】

【氏名又は名称】 竹内 三明

【手数料の表示】

【予納台帳番号】 056177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903016

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 暗号化装置及び暗号化方法及び復号装置及び復号方法

【特許請求の範囲】

【請求項 1】 1 つ以上のブロックデータからなる第 1 の処理データと、 1 つ以上のブロックデータからなる第 2 の処理データとの暗号化処理をする暗号化装置において、

暗号化処理の状態を記憶するメモリを備え、

第 1 の処理データの全ブロックデータの暗号化処理が完了する前に第 2 の処理データの最初のブロックデータの暗号化処理を開始するとともに、第 2 の処理データの最初のブロックデータの暗号化処理を開始する場合に第 1 の処理データの暗号化処理の状態を上記メモリに記憶させ、第 1 の処理データの暗号化処理を再開する場合に暗号化装置の暗号化処理の状態をメモリに記憶した第 1 の処理データの暗号化処理の状態に復帰させてから第 1 の処理データの暗号化処理を再開することを特徴とする暗号化装置。

【請求項 2】 上記暗号化装置は、第 2 の処理データの全ブロックデータの暗号化処理の完了する前に第 1 の処理データの暗号化処理を再開するとともに、上記メモリは、第 1 の処理データの暗号化処理を再開する場合に第 2 の処理データの暗号化処理状態を記憶し、第 2 の処理データの暗号化処理を再開する場合は、暗号化装置の暗号化処理の状態をメモリに記憶した第 2 の処理データの暗号化処理の状態に復帰させてから第 2 の処理データの暗号化処理を再開することを特徴とする請求項 1 記載の暗号化装置。

【請求項 3】 上記第 1 の処理データは、第 1 の平文であり、上記第 2 の処理データは、第 2 の平文であることを特徴とする請求項 1 記載の暗号化装置。

【請求項 4】 上記暗号化装置は、割り込みにより第 2 の処理データの最初のブロックデータの暗号化処理を開始することを特徴とする請求項 1 記載の暗号化装置。

【請求項 5】 平文 M を構成する平文ブロックデータ M_i ($i = 1, 2, 3, \dots$) と平文 N を構成する平文ブロックデータ N_j ($j = 1, 2, 3, \dots$) とを暗号化する暗号化装置において、

平文Mの暗号化処理中に平文Nの暗号化要求を平文Mの暗号化処理完了前に受け付けるメカニズムと、

暗号化処理を行い中間ブロックデータ T_i 又は暗号文ブロックデータ C_i を出力する暗号化モジュールと、

暗号化モジュールから出力された中間ブロックデータ T_i 又は暗号文ブロックデータ C_i をフィードバックラインを介し暗号化モジュールにフィードバックするフィードバックループと、

フィードバックループのフィードバックラインと並列に設けられ、上記平文Nの暗号化要求を受け付け、平文Nのいずれかの平文ブロックデータの暗号化処理を開始することにより、上記平文ブロックデータ M_{i+1} が平文ブロックデータ M_i の次に続けて暗号化されない場合、フィードバックされるブロックデータを記憶するメモリと、

平文ブロックデータ M_{i+1} が平文ブロックデータ M_i の次に続けて暗号化される場合は、上記フィードバックループのフィードバックラインによりフィードバックされるブロックデータを選択してフィードバックループに供給し、上記平文ブロックデータ M_{i+1} が平文ブロックデータ M_i の次に続けて暗号化されず、平文Nのいずれかの平文ブロックデータの次に暗号化される場合は、上記メモリに記憶されたブロックデータを選択してフィードバックループに供給するセレクトと

を備えたことを特徴とする暗号化装置。

【請求項6】 上記メモリは、

複数の平文に対応した複数のレジスタと、

暗号化処理をする平文に対応してレジスタを切り替えるスイッチと

を備えたことを特徴とする請求項5記載の暗号化装置。

【請求項7】 暗号化モジュールを用いて第1の平文Mの平文ブロックデータ M_i ($i = 1, 2, 3, \dots$) を暗号化する工程と、

上記平文ブロックデータ M_i を暗号化している途中で又は平文ブロックデータ M_i を暗号化した後に、第1の平文Mの平文ブロックデータ M_{i+1} の暗号化に用いられる中間ブロックデータ T_i 又は暗号文ブロックデータ C_i をメモリに記憶

する工程と、

上記平文ブロックデータ M_{i+1} の暗号化に用いられるブロックデータをメモリに記憶した後に、第2の平文Nの少なくとも1つの平文ブロックデータを暗号化する工程と、

上記第2の平文Nの少なくとも1つの平文ブロックデータを暗号化した後に、メモリに記憶された、平文ブロックデータ M_{i+1} の暗号化に用いられるブロックデータを入力し、暗号化モジュールを用いて第1の平文Mの平文ブロックデータ M_{i+1} を暗号化する工程と

を備えたことを特徴とする暗号化方法。

【請求項8】 1つ以上の平文ブロックデータからなる平文を暗号文にし、暗号文に対して暗号文の完全性を保証するための認証子を生成する暗号化装置において、

平文ブロックデータを暗号化したときに生成した中間ブロックデータ T_i 又は暗号文ブロックデータ C_i をフィードバックする第1のフィードバックループを有し、平文ブロックデータを入力し、第1のフィードバックループによりブロックデータをフィードバックさせ暗号化処理を行い、暗号文ブロックデータを出力する暗号化部と、

認証子演算途中結果をフィードバックする第2のフィードバックループを有し、暗号化部から暗号文ブロックデータが出力されるたびに暗号文ブロックデータを入力し、データ処理を行い、第2のフィードバックループにより認証子演算途中結果をフィードバックさせ、暗号文の完全性を保証するための認証子を生成する認証子生成部と

を備えたことを特徴とする暗号化装置。

【請求項9】 上記暗号化部と認証子生成部とは、1つの暗号化モジュールと、1つのフィードバックループとを兼用して暗号化処理と認証子生成処理とを交互に行うとともに、

上記1つのフィードバックループは、

暗号化処理と認証子生成処理との結果をそれぞれ記録し出力するメモリと、

暗号化処理と認証生成処理とを交互に実行するために、メモリから暗号化処理

と認証子生成処理との結果を交互に選択して暗号化モジュールに出力するセレクトと

を備えたことを特徴とする請求項 8 記載の暗号化装置。

【請求項 1 0】 1 つ以上の平文ブロックデータからなる平文を暗号文にし、暗号文に対して暗号文の完全性を保証するための認証子を生成する暗号化方法において、

平文ブロックデータを暗号化したときに生成した中間ブロックデータ T_i 、又は暗号文ブロックデータ C_i をフィードバックする第 1 のフィードバック工程を有し、平文ブロックデータを入力し、第 1 のフィードバックループによりブロックデータをフィードバックさせ暗号化処理を行い、暗号文ブロックデータを出力する暗号化工程と、

認証子演算途中結果をフィードバックする第 2 のフィードバック工程を有し、暗号化工程から暗号文ブロックデータが出力されるたびに暗号文ブロックデータを入力し、データ処理を行い、第 2 のフィードバック工程により認証子演算途中結果をフィードバックさせ、暗号文の完全性を保証するための認証子を生成する認証子生成工程と

を備えたことを特徴とする暗号化方法。

【請求項 1 1】 1 つ以上のブロックデータからなる第 1 の処理データと、1 つ以上のブロックデータからなる第 2 の処理データとの復号処理をする復号装置において、

復号処理の状態を記憶するメモリを備え、

第 1 の処理データの全ブロックデータの復号処理が完了する前に第 2 の処理データの最初のブロックデータの復号処理を開始するとともに、第 2 の処理データの最初のブロックデータの復号処理を開始する場合に第 1 の処理データの復号処理の状態を上記メモリに記憶させ、第 1 の処理データの復号処理を再開する場合に復号装置の復号処理の状態をメモリに記憶した第 1 の処理データの復号処理の状態に復帰させてから第 1 の処理データの復号処理を再開することを特徴とする復号装置。

【請求項 1 2】 上記復号装置は、第 2 の処理データの全ブロックデータの

復号処理の完了する前に第1の処理データの復号処理を再開するとともに、上記メモリは、第1の処理データの復号処理を再開する場合に第2の処理データの復号処理状態を記憶し、第2の処理データの復号処理を再開する場合は、復号装置の復号処理の状態をメモリに記憶した第2の処理データの復号処理の状態に復帰させてから第2の処理データの復号処理を再開することを特徴とする請求項11記載の復号装置。

【請求項13】 上記第1の処理データは、第1の暗号文であり、上記第2の処理データは、第2の暗号文であることを特徴とする請求項11記載の復号装置。

【請求項14】 上記復号装置は、割り込みにより第2の処理データの最初のブロックデータの復号処理を開始することを特徴とする請求項11記載の復号装置。

【請求項15】 暗号文Cを構成する暗号文ブロックデータ C_i ($i=1, 2, 3, \dots$)と暗号文Nを構成する暗号文ブロックデータ N_j ($j=1, 2, 3, \dots$)とを復号する復号装置において、

暗号文Cの復号処理中に暗号文Nの復号要求を任意の時点で受け付けるメカニズムと、

復号処理を行い中間ブロックデータ T_i 又は平文ブロックデータ M_i を出力する復号モジュールと、

復号モジュールから出力された中間ブロックデータ T_i 又は平文ブロックデータ M_i をフィードバックラインを介し復号モジュールにフィードバックするフィードバックループと、

フィードバックループのフィードバックラインと並列に設けられ、上記暗号文Nの復号要求を受け付け、暗号文Nのいずれかの暗号文ブロックデータの復号処理を開始することにより、上記暗号文ブロックデータ C_{i+1} が暗号文ブロックデータ C_i の次に続けて復号されない場合、フィードバックされるブロックデータを記憶するメモリと、

暗号文ブロックデータ C_{i+1} が暗号文ブロックデータ C_i の次に続けて復号される場合は、上記フィードバックループのフィードバックラインによりフィード

バックされるブロックデータを選択してフィードバックループに供給し、上記暗号文ブロックデータ C_{i+1} が暗号文ブロックデータ C_i の次に続けて復号されず、暗号文 N のいずれかの暗号文ブロックデータの次に復号される場合は、上記メモリに記憶されたブロックデータを選択してフィードバックループに供給するセレクタと

を備えたことを特徴とする復号装置。

【請求項 1 6】 上記メモリは、

複数の暗号文に対応した複数のレジスタと、

復号処理をする暗号文に対応してレジスタを切り替えるスイッチと

を備えたことを特徴とする請求項 1 1 記載の復号装置。

【請求項 1 7】 復号モジュールを用いて第 1 の暗号文 C の暗号文ブロックデータ C_i ($i = 1, 2, 3, \dots$) を復号する工程と、

上記暗号文ブロックデータ C_i を復号している途中で又は暗号文ブロックデータ C_i を復号した後に、第 1 の暗号文 C の暗号文ブロックデータ C_{i+1} の復号に用いられる中間ブロックデータ T_i 又は平文ブロックデータ M_i をメモリに記憶する工程と、

上記暗号文ブロックデータ C_{i+1} の復号に用いられるブロックデータをメモリに記憶した後に、第 2 の暗号文 N の少なくとも 1 つの暗号文ブロックデータを復号する工程と、

上記第 2 の暗号文 N の少なくとも 1 つの暗号文ブロックデータを復号した後に、メモリに記憶された、暗号文ブロックデータ C_{i+1} の復号に用いられるブロックデータを入力し、復号モジュールを用いて第 1 の暗号文 C の暗号文ブロックデータ C_{i+1} を復号する工程と

を備えたことを特徴とする復号方法。

【請求項 1 8】 1 つ以上の暗号文ブロックデータからなる暗号文を平文に復号し、かつ、暗号文に対して暗号文の完全性を確認するための認証子を生成する復号装置において、

暗号文ブロックデータを復号したときに生成した中間ブロックデータ T_i 又は平文ブロックデータ M_i をフィードバックする第 1 のフィードバックループを有

し、暗号文ブロックデータを入力し、第1のフィードバックループによりブロックデータをフィードバックさせ復号処理を行い、平文ブロックデータを出力する復号部と、

認証子演算途中結果をフィードバックする第2のフィードバックループを有し、復号部に入力される暗号文ブロックデータと同一の暗号文ブロックデータを入力し、データ処理を行い認証子演算途中結果を出力し、第2のフィードバックループにより認証子演算途中結果をフィードバックさせ、暗号文の完全性を確認するための認証子を生成する認証子生成部とを備えたことを特徴とする復号装置。

【請求項19】 上記復号部と認証子生成部とは、1つの復号モジュールと、1つのフィードバックループとを兼用して復号処理と認証子生成処理とを交互に行うとともに、

上記1つのフィードバックループは、

復号処理と認証子生成処理との結果をそれぞれ記録し出力するメモリと、

復号処理と認証子生成処理とを交互に実行するために、メモリから復号処理と認証子生成処理との結果を交互に選択して復号モジュールに出力するセレクタとを備えたことを特徴とする請求項18記載の復号装置。

【請求項20】 1つ以上の暗号文ブロックデータからなる暗号文を平文に復号し、かつ、暗号文に対して暗号文の完全性を確認するための認証子を生成する復号方法において、

暗号文ブロックデータを復号したときに生成した中間ブロックデータ T_i 又は平文ブロックデータ M_i をフィードバックする第1のフィードバック工程を有し、暗号文ブロックデータを入力し、第1のフィードバックループによりブロックデータをフィードバックさせ復号処理を行い、平文ブロックデータを出力する復号工程と、

認証子演算途中結果をフィードバックする第2のフィードバック工程を有し、復号工程に入力される暗号文のブロックデータと同一の暗号文ブロックデータを入力し、データ処理を行い認証子演算途中結果を出力し、第2のフィードバック工程により認証子演算途中結果をフィードバックさせ、暗号文の完全性を確認す

るための認証子を生成する認証子生成工程と
を備えたことを特徴とする復号方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、暗号化復号装置及び暗号化復号方法に関するものである。特に、データの暗号化復号の最中に他のデータの暗号化復号ができる発明に関するものである。

【0002】

【従来の技術】

図32は、Cipher Block Chaining Mode（以下、CBCモードという）による暗号化装置を示す図である。

図32に示すCBCモードでの暗号方法は、64ビットの平文ブロックデータ M_i をブロック単位で入力して、暗号鍵 K を用いた暗号化モジュール51により暗号化し、更に、この暗号化された暗号文ブロックデータ C_i と次の平文ブロックデータ M_{i+1} との排他的論理和を演算し、排他的論理和の演算結果を次の暗号化の入力として、暗号鍵 K を用いた暗号化モジュール51に供給することにより暗号化する方法である。そして、この処理を繰り返して次々と連鎖させることにより、平文 M 全体を暗号文 C に暗号化するものである。

【0003】

図33は、CBCモードを用いた復号装置を示す図である。

図33に示す復号装置は、図32に示す暗号化装置により暗号化された暗号文を復号する装置である。暗号文ブロックデータ C_1 が暗号鍵 K を用いた復号モジュール71に入力され、イニシャルバリュー IV との排他的論理和が計算され、平文ブロックデータ M_1 が復号される。暗号文ブロックデータ C_2 が入力された場合には、暗号鍵 K を用いた復号モジュール71で復号され、先に入力され、レジスタ111に保存された暗号文ブロックデータ C_1 との排他的論理和がとられ、平文ブロックデータ M_2 を復号する。

【0004】

平文ブロックデータを M_i ($i = 1, 2, \dots, n$)、暗号文ブロックデータ C_i ($i = 1, 2, \dots, n$)とし、暗号鍵 K を用いた暗号化処理を E_K 、暗号鍵 K を用いた復号処理を D_K とすると、CBCモードは次式で表される。

$$C_1 = E_K (M_1 \text{ EXR } IV)$$

$$C_i = E_K (M_i \text{ EXR } C_{i-1}) \quad (i = 2, 3, \dots, n)$$

$$M_1 = D_K (C_1) \text{ EXR } IV$$

$$M_i = D_K (C_i) \text{ EXR } C_{i-1} \quad (i = 2, 3, \dots, n)$$

ここで、EXRは排他的論理和演算である。また、IV (Initial Value) は初期値であり、最初の暗号化と復号の際に用いられる。イニシャルバリューIVは、暗号化側と復号側で同一の値を用いる。

【0005】

図34は、Output Feedback Mode (以下、OFBモードという) の暗号化装置を示す図である。

図35は、OFBモードの復号装置を示す図である。

図36は、Cipher Feedback Mode (以下、CFBモードという) の暗号化装置を示す図である。

図37は、CFBモードの復号装置を示す図である。

【0006】

図38は、CBCモードの暗号化装置を用いて平文 M と平文 N を暗号化する手順を示す図である。

ここでは、平文 M が平文ブロックデータ M_1 、平文ブロックデータ M_2 、平文ブロックデータ M_3 から構成されており、平文 N が平文ブロックデータ N_1 のみで構成されている場合を説明する。

平文ブロックデータ M_1 の暗号化がスタートすると、暗号文ブロックデータ C_1 が出力されるとともに、暗号文ブロックデータ C_1 は、平文ブロックデータ M_2 の暗号化に用いられる。このように、暗号文ブロックデータ C_i は、平文ブロックデータ M_{i+1} の暗号化にフィードバックされて連鎖処理が行われる。従って、平文ブロックデータ M_1 から平文ブロックデータ M_3 までの暗号化が終わらなければ、平文ブロックデータ N_1 の暗号化を行うことができない。

【0007】

図39は、図38と同様に、CBCモードで暗号化を行う場合を示している。

図39の場合は、平文ブロックデータ M_1 、平文ブロックデータ M_2 、平文ブロックデータ M_3 の各データが準備されるのに時間がかかってしまう場合を示している。一方、暗号化処理は、次の平文ブロックデータ M_{i+1} が準備できる前に終了しており、アイドル時間（例えば、 $T1 \sim T2$ 、 $T3 \sim T4$ の時間）が発生してしまう場合を示している。このように、アイドル時間が発生する場合でも、暗号文ブロックデータ C_i が次の平文ブロックデータ M_{i+1} にフィードバックされる連鎖処理を行わなければならないため、平文ブロックデータ N_1 の処理は平文ブロックデータ M_3 の処理が終了してからでなければ行えない。

【0008】

図40は、データの秘匿処理とデータの完全性を保証する処理を示す図である。平文 M は、例えば、OFBモードの暗号装置により暗号文 C に暗号化される。CBCモードの暗号装置により認証子 P が演算され、暗号文 C の最後に認証子 P が付加される。暗号化され、かつ、認証子 P が付加されたデータを受信した場合には、暗号文 C から平文 M をOFBモードの復号装置により復号するとともに、暗号文 C からCBCモードの復号装置により認証子 P を演算し、伝送されてきた認証子 P と同一か否かを比較することにより、伝送されてきた C が改竄されていないことを確認することができる。

【0009】

図41は、図40に示した秘匿処理と認証子演算処理の手順を示す図である。

平文ブロックデータ $M_1 \sim$ 平文ブロックデータ M_3 は、順に暗号文ブロックデータ $C_1 \sim$ 暗号文ブロックデータ C_3 に暗号化される。その後、暗号文ブロックデータ $C_1 \sim$ 暗号文ブロックデータ C_3 を順に入力して認証子 P が演算される。

【0010】

【発明が解決しようとする課題】

図31～図37に示した各モードの暗号化装置及び復号装置は、前のブロックデータの暗号化復号されたデータをフィードバックさせて次のブロックデータの暗号化復号処理に利用しなければならないため、一旦暗号化処理又は復号処理が

スタートしてしまうと、その全体の処理が終了しない限り、他の暗号化処理又は復号処理をスタートさせることができないという課題があった。従って、先にスタートした暗号化復号処理が長時間要するものである場合には、後からスタートする暗号化復号処理が長時間待たされてしまうという課題があった。

【 0 0 1 1 】

また、暗号化復号されるデータが準備される時間に比べて、暗号化復号処理に要する時間が短い場合には、暗号化復号化装置にアイドル時間が発生してしまうという課題があった。

【 0 0 1 2 】

また、秘匿処理と完全性保証処理を行う場合には、秘匿処理を行ってから完全性保証処理を行わなければならない、処理時間がかかってしまうという課題があった。

【 0 0 1 3 】

この発明の好適な実施の形態によれば、あるデータの暗号化復号処理の最中に他のデータの暗号化復号処理を行える暗号化装置、復号装置及び暗号化方法及び復号方法を得ることを目的とする。

【 0 0 1 4 】

また、この発明の好適な実施の形態においては、優先度の高いデータの暗号化復号を優先的に行えるようにすることを目的とする。

【 0 0 1 5 】

また、この発明の好適な実施の形態においては、秘匿処理と完全性保証処理を並列的に高速に行えるようにすることを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

この発明に係る暗号化装置は、1つ以上のブロックデータからなる第1の処理データと、1つ以上のブロックデータからなる第2の処理データとの暗号化処理をする暗号化装置において、

暗号化処理の状態を記憶するメモリを備え、

第1の処理データの全ブロックデータの暗号化処理が完了する前に第2の処理

データの最初のブロックデータの暗号化処理を開始するとともに、第2の処理データの最初のブロックデータの暗号化処理を開始する場合に第1の処理データの暗号化処理の状態を上記メモリに記憶させ、第1の処理データの暗号化処理を再開する場合に暗号化装置の暗号化処理の状態をメモリに記憶した第1の処理データの暗号化処理の状態に復帰させてから第1の処理データの暗号化処理を再開することを特徴とする。

【0017】

上記暗号化装置は、第2の処理データの全ブロックデータの暗号処理の完了する前に第1の処理データの暗号化処理を再開するとともに、上記メモリは、第1の処理データの暗号化処理を再開する場合に第2の処理データの暗号化処理状態を記憶し、第2の処理データの暗号化処理を再開する場合は、暗号化装置の暗号化処理の状態をメモリに記憶した第2の処理データの暗号化処理の状態に復帰させてから第2の処理データの暗号化処理を再開することを特徴とする。

【0018】

上記第1の処理データは、第1の平文であり、上記第2の処理データは、第2の平文であることを特徴とする。

【0019】

上記暗号化装置は、割り込みにより第2の処理データの最初のブロックデータの暗号化処理を開始することを特徴とする。

【0020】

この発明に係る暗号化装置は、平文Mを構成する平文ブロックデータ M_i ($i = 1, 2, 3, \dots$)と平文Nを構成する平文ブロックデータ N_j ($j = 1, 2, 3, \dots$)とを暗号化する暗号化装置において、

平文Mの暗号化処理中に平文Nの暗号化要求を平文Mの暗号化処理完了前に受け付けるメカニズムと、

暗号化処理を行い中間ブロックデータ T_i 又は暗号文ブロックデータ C_i を出力する暗号化モジュールと、

暗号化モジュールから出力された中間ブロックデータ T_i 又は暗号文ブロックデータ C_i をフィードバックラインを介し暗号化モジュールにフィードバックす

るフィードバックループと、

フィードバックループのフィードバックラインと並列に設けられ、上記平文Nの暗号化要求を受け付け、平文Nのいずれかの平文ブロックデータの暗号化処理を開始することにより、上記平文ブロックデータ M_{i+1} が平文ブロックデータ M_i の次に続けて暗号化されない場合、フィードバックされるブロックデータを記憶するメモリと、

平文ブロックデータ M_{i+1} が平文ブロックデータ M_i の次に続けて暗号化される場合は、上記フィードバックループのフィードバックラインによりフィードバックされるブロックデータを選択してフィードバックループに供給し、上記平文ブロックデータ M_{i+1} が平文ブロックデータ M_i の次に続けて暗号化されず、平文Nのいずれかの平文ブロックデータの次に暗号化される場合は、上記メモリに記憶されたブロックデータを選択してフィードバックループに供給するセレクタと

を備えたことを特徴とする。

【 0 0 2 1 】

上記メモリは、

複数の平文に対応した複数のレジスタと、

暗号化処理をする平文に対応してレジスタを切り替えるスイッチとを備えたことを特徴とする。

【 0 0 2 2 】

この発明に係る暗号化方法は、暗号化モジュールを用いて第1の平文Mの平文ブロックデータ M_i ($i = 1, 2, 3, \dots$)を暗号化する工程と、

上記平文ブロックデータ M_i を暗号化している途中で又は平文ブロックデータ M_i を暗号化した後に、第1の平文Mの平文ブロックデータ M_{i+1} の暗号化に用いられる中間ブロックデータ T_i 又は暗号文ブロックデータ C_i をメモリに記憶する工程と、

上記平文ブロックデータ M_{i+1} の暗号化に用いられるブロックデータをメモリに記憶した後に、第2の平文Nの少なくとも1つの平文ブロックデータを暗号化する工程と、

上記第 2 の平文 N の少なくとも 1 つの平文ブロックデータを暗号化した後に、メモリに記憶された、平文ブロックデータ M_{i+1} の暗号化に用いられるブロックデータを入力し、暗号化モジュールを用いて第 1 の平文 M の平文ブロックデータ M_{i+1} を暗号化する工程とを備えたことを特徴とする。

【 0 0 2 3 】

この発明に係る暗号化装置は、1 つ以上の平文ブロックデータからなる平文を暗号文にし、暗号文に対して暗号文の完全性を保証するための認証子を生成する暗号化装置において、

平文ブロックデータを暗号化したときに生成した中間ブロックデータ T_i 又は暗号文ブロックデータ C_i をフィードバックする第 1 のフィードバックループを有し、平文ブロックデータを入力し、第 1 のフィードバックループによりブロックデータをフィードバックさせ暗号化処理を行い、暗号文ブロックデータを出力する暗号化部と、

認証子演算途中結果をフィードバックする第 2 のフィードバックループを有し、暗号化部から暗号文ブロックデータが出力されるたびに暗号文ブロックデータを入力し、データ処理を行い、第 2 のフィードバックループにより認証子演算途中結果をフィードバックさせ、暗号文の完全性を保証するための認証子を生成する認証子生成部とを備えたことを特徴とする。

【 0 0 2 4 】

上記暗号化部と認証子生成部とは、1 つの暗号化モジュールと、1 つのフィードバックループとを兼用して暗号化処理と認証子生成処理とを交互に行うとともに、

上記 1 つのフィードバックループは、

暗号化処理と認証子生成処理との結果をそれぞれ記録し出力するメモリと、

暗号化処理と認証子生成処理とを交互に実行するために、メモリから暗号化処理と認証子生成処理との結果を交互に選択して暗号化モジュールに出力するセレクタと

を備えたことを特徴とする。

【 0 0 2 5 】

この発明に係る暗号化方法は、1つ以上の平文ブロックデータからなる平文を暗号文にし、暗号文に対して暗号文の完全性を保証するための認証子を生成する暗号化方法において、

平文ブロックデータを暗号化したときに生成した中間ブロックデータ T_i 又は暗号文ブロックデータ C_i をフィードバックする第1のフィードバック工程を有し、平文ブロックデータを入力し、第1のフィードバックループによりブロックデータをフィードバックさせ暗号化処理を行い、暗号文ブロックデータを出力する暗号化工程と、

認証子演算途中結果をフィードバックする第2のフィードバック工程を有し、暗号化工程から暗号文ブロックデータが出力されるたびに暗号文ブロックデータを入力し、データ処理を行い、第2のフィードバック工程により認証子演算途中結果をフィードバックさせ、暗号文の完全性を保証するための認証子を生成する認証子生成工程と

を備えたことを特徴とする。

【 0 0 2 6 】

この発明に係る復号装置は、1つ以上のブロックデータからなる第1の処理データと、1つ以上のブロックデータからなる第2の処理データとの復号処理をする復号装置において、

復号処理の状態を記憶するメモリを備え、

第1の処理データの全ブロックデータの復号処理が完了する前に第2の処理データの最初のブロックデータの復号処理を開始するとともに、第2の処理データの最初のブロックデータの復号処理を開始する場合に第1の処理データの復号処理の状態を上記メモリに記憶させ、第1の処理データの復号処理を再開する場合に復号装置の復号処理の状態をメモリに記憶した第1の処理データの復号処理の状態に復帰させてから第1の処理データの復号処理を再開することを特徴とする。

【 0 0 2 7 】

上記復号装置は、第2の処理データの全ブロックデータの復号処理の完了する前に第1の処理データの復号処理を再開するとともに、上記メモリは、第1の処理データの復号処理を再開する場合に第2の処理データの復号処理状態を記憶し、第2の処理データの復号処理を再開する場合は、復号装置の復号処理の状態をメモリに記憶した第2の処理データの復号処理の状態に復帰させてから第2の処理データの復号処理を再開することを特徴とする。

【0028】

上記第1の処理データは、第1の暗号文であり、上記第2の処理データは、第2の暗号文であることを特徴とする。

【0029】

上記復号装置は、割り込みにより第2の処理データの最初のブロックデータの復号処理を開始することを特徴とする。

【0030】

この発明に係る復号装置は、暗号文Cを構成する暗号文ブロックデータ C_i ($i = 1, 2, 3, \dots$)と暗号文Nを構成する暗号文ブロックデータ N_j ($j = 1, 2, 3, \dots$)とを復号する復号装置において、

暗号文Cの復号処理中に暗号文Nの復号要求を任意の時点で受け付けるメカニズムと、

復号処理を行い中間ブロックデータ T_i 又は平文ブロックデータ M_i を出力する復号モジュールと、

復号モジュールから出力された中間ブロックデータ T_i 又は平文ブロックデータ M_i をフィードバックラインを介し復号モジュールにフィードバックするフィードバックループと、

フィードバックループのフィードバックラインと並列に設けられ、上記暗号文Nの復号要求を受け付け、暗号文Nのいずれかの暗号文ブロックデータの復号処理を開始することにより、上記暗号文ブロックデータ C_{i+1} が暗号文ブロックデータ C_i の次に続けて復号されない場合、フィードバックされるブロックデータを記憶するメモリと、

暗号文ブロックデータ C_{i+1} が暗号文ブロックデータ C_i の次に続けて復号さ

れる場合は、上記フィードバックループのフィードバックラインによりフィードバックされるブロックデータを選択してフィードバックループに供給し、上記暗号文ブロックデータ C_{i+1} が暗号文ブロックデータ C_i の次に続けて復号されず、暗号文 N のいずれかの暗号文ブロックデータの次に復号される場合は、上記メモリに記憶されたブロックデータを選択してフィードバックループに供給するセレクタと

を備えたことを特徴とする。

【 0 0 3 1 】

上記メモリは、

複数の暗号文に対応した複数のレジスタと、

復号処理をする暗号文に対応してレジスタを切り替えるスイッチとを備えたことを特徴とする。

【 0 0 3 2 】

この発明に係る復号方法は、復号モジュールを用いて第 1 の暗号文 C の暗号文ブロックデータ C_i ($i = 1, 2, 3, \dots$) を復号する工程と、

上記暗号文ブロックデータ C_i を復号している途中で又は暗号文ブロックデータ C_i を復号した後に、第 1 の暗号文 C の暗号文ブロックデータ C_{i+1} の復号に用いられる中間ブロックデータ T_i 又は平文ブロックデータ M_i をメモリに記憶する工程と、

上記暗号文ブロックデータ C_{i+1} の復号に用いられるブロックデータをメモリに記憶した後に、第 2 の暗号文 N の少なくとも 1 つの暗号文ブロックデータを復号する工程と、

上記第 2 の暗号文 N の少なくとも 1 つの暗号文ブロックデータを復号した後に、メモリに記憶された、暗号文ブロックデータ C_{i+1} の復号に用いられるブロックデータを入力し、復号モジュールを用いて第 1 の暗号文 C の暗号文ブロックデータ C_{i+1} を復号する工程とを備えたことを特徴とする。

【 0 0 3 3 】

この発明に係る復号装置は、1 つ以上の暗号文ブロックデータからなる暗号文

を平文に復号し、かつ、暗号文に対して暗号文の完全性を確認するための認証子を生成する復号装置において、

暗号文ブロックデータを復号したときに生成した中間ブロックデータ T_i 又は平文ブロックデータ M_i をフィードバックする第1のフィードバックループを有し、暗号文ブロックデータを入力し、第1のフィードバックループによりブロックデータをフィードバックさせ復号処理を行い、平文ブロックデータを出力する復号部と、

認証子演算途中結果をフィードバックする第2のフィードバックループを有し、復号部に入力される暗号文ブロックデータと同一の暗号文ブロックデータを入力し、データ処理を行い認証子演算途中結果を出力し、第2のフィードバックループにより認証子演算途中結果をフィードバックさせ、暗号文の完全性を確認するための認証子を生成する認証子生成部とを備えたことを特徴とする。

【0034】

上記復号部と認証子生成部とは、1つの復号モジュールと、1つのフィードバックループとを兼用して復号処理と認証子生成処理とを交互に行うとともに、

上記1つのフィードバックループは、

復号処理と認証子生成処理との結果をそれぞれ記録し出力するメモリと、

復号処理と認証生成処理とを交互に実行するために、メモリから復号処理と認証子生成処理との結果を交互に選択して復号モジュールに出力するセレクタとを備えたことを特徴とする。

【0035】

この発明に係る復号方法は、1つ以上の暗号文ブロックデータからなる暗号文を平文に復号し、かつ、暗号文に対して暗号文の完全性を確認するための認証子を生成する復号方法において、

暗号文ブロックデータを復号したときに生成した中間ブロックデータ T_i 又は平文ブロックデータ M_i をフィードバックする第1のフィードバック工程を有し、暗号文ブロックデータを入力し、第1のフィードバックループによりブロックデータをフィードバックさせ復号処理を行い、平文ブロックデータを出力する復

号工程と、

認証子演算途中結果をフィードバックする第2のフィードバック工程を有し、復号工程に入力される暗号文のブロックデータと同一の暗号文ブロックデータを入力し、データ処理を行い認証子演算途中結果を出力し、第2のフィードバック工程により認証子演算途中結果をフィードバックさせ、暗号文の完全性を確認するための認証子を生成する認証子生成工程とを備えたことを特徴とする。

【 0 0 3 6 】

【発明の実施の形態】

実施の形態 1.

図 1 は、この実施の形態における CBC モードの暗号化装置を示す図である。

この実施の形態の暗号化装置は、セクタ 5 4 と排他的論理和回路 5 8 と暗号鍵 K を用いた暗号化モジュール 5 1 とメモリ 5 5 とにより構成されている。セクタ 5 4 と排他的論理和回路 5 8 と暗号鍵 K を用いた暗号化モジュール 5 1 は、フィードバックライン 6 5 とフィードバックライン 6 6 とフィードバックライン 6 7 によりフィードバックループを構成している。暗号鍵 K を用いた暗号化モジュール 5 1 により暗号化された暗号文ブロックデータ C_i は、フィードバックループにより再び排他的論理和回路 5 8 に入力され、暗号鍵 K を用いた暗号化モジュール 5 1 に供給される。

【 0 0 3 7 】

メモリ 5 5 は、フィードバックライン 6 5 と並列に設けられている。メモリ 5 5 は、レジスタ 5 6 とスイッチ 5 7 により構成されている。スイッチ 5 7 は、暗号鍵 K を用いた暗号化モジュール 5 1 の出力をレジスタ 5 6 に入力させるか無視するかを切り替えるものである。この切り替えは、例えば、割り込み I T により行われる。割り込み I T が発生した場合には、スイッチ 5 7 は E に接続され、割り込み I T が解除された場合には、スイッチ 5 7 は F に接続される。レジスタ 5 6 は、E を経由してきた暗号文ブロックデータ C_i を入力して記憶するものである。レジスタ 5 6 に記憶された暗号文ブロックデータ C_i は、セクタ 5 4 に出力される。セクタ 5 4 は、A, B, C の 3 つの入力を有しており、いずれか 1

つの入力を選択するものである。これらの選択は、後述するように割り込み I T に依存する。

【 0 0 3 8 】

図 2 は、図 1 に示した暗号化装置の動作手順を示す図である。

図 3 は、図 1 に示した暗号化装置の動作フローチャートである。

この暗号化装置が電源を投入された場合のセクタ 5 4 の入力は A に設定されており、スイッチ 5 7 は E に接続されているものとする。また、平文 N の暗号化要求があるときは、割り込み I T が発生し、平文 N の暗号化要求が解除されるまで、割り込み I T がオンになり続けるものとする。時刻 T 0 において、平文ブロックデータ M₁ の暗号化処理がスタートする。時刻 T 0 において、平文ブロックデータ M₁ の暗号化がスタートした場合には、セクタ 5 4 の入力 A から一旦イニシャルバリュウ I V が入力された後、セクタ 5 4 は B に切り替わる。そして、時刻 X において、平文ブロックデータ N₁ の暗号化を要求する割り込み I T が発生したとする。時刻 T 1 までに、暗号文ブロックデータ C₁ はメモリ 5 5 に記憶された状態になる。そして、割り込み I T の発生により時刻 T 1 において、セクタ 5 4 は入力を A に設定する。また、時刻 T 1 において、スイッチ 5 7 は F に接続される。時刻 T 1 以降は、平文ブロックデータ N₁ の暗号化が行われ、暗号文ブロックデータ D₁ が出力される。時刻 Y において、平文ブロックデータ N₁ の暗号化が終了し、割り込み I T が解除されたものとする。この割り込み I T の解除により時刻 T 2 において、セクタ 5 4 の入力は C に切り替えられ、スイッチ 5 7 は E に接続される。セクタ 5 4 が C に切り替わったことにより、メモリ 5 5 に記憶されていた暗号文ブロックデータ C₁ が平文ブロックデータ M₂ の暗号化のために入力され、鍵 K を用いた暗号化モジュール 5 1 により平文ブロックデータ M₂ が暗号化されて、暗号文ブロックデータ C₂ が出力される。時刻 T 3 以前においては、セクタ 5 4 の入力は B に切り替えられ、平文ブロックデータ M₃ を暗号化する場合には、フィードバックループのフィードバックライン 6 5 からフィードバックされた暗号文ブロックデータ C₂ が入力され、鍵 K を用いた暗号化モジュール 5 1 により平文ブロックデータ M₂ 暗号化されて、平文ブロックデータ M₃ が暗号化され、暗号文ブロックデータ C₃ が出力される。

【0039】

図3のフローチャートを用いて全体の動作を説明する。

S1において、平文Mの暗号化処理がスタートし続行される。最後のブロックデータまで処理を終えた場合には、処理を終了する。S2において、任意の時点で生じる割り込みITの発生が監視される。割り込みITの発生がない場合には、S1の処理が続行される。平文ブロックデータ M_i の処理中に割り込みITが発生した場合には、S3において、現在処理中の平文ブロックデータ M_i の暗号文ブロックデータ C_i をメモリ55のレジスタ56に記憶する。S4において、割り込みITにより暗号化処理の要求があった平文Nの暗号化処理を行う。このS4の暗号化処理は、S5に示すように、割り込みITの解除があるまで連続して行われる。割り込みITの解除があった場合には、S6において、メモリ55のレジスタ56に記憶した暗号文ブロックデータ C_i を用いて M_{i+1} の暗号化処理を行う。それ以降の処理は、S1に戻り、暗号化処理が続行される。

【0040】

図4は、セクタ54のオペレーション処理を示す図である。

電源がオンになった場合には、S11に示すように、入力をAに設定する。S12において、暗号化がスタートした場合には、S13において、入力をBに設定する。即ち、フィードバックループのフィードバックライン65によりフィードバックされる暗号文ブロックデータ C_i が用いられる。S14において、現在処理しているブロックデータが最後であるということが判定された場合には、S11に戻り電源オンと同じ状態に戻る。S15において、割り込みITの発生が確認された場合には、S16において、入力をAに設定し、暗号化がスタートした場合には、S18において、入力をBに設定する。割り込みITの解除があるまでは、入力がBに設定されたままで動作する。即ち、フィードバックループのフィードバックライン65によりフィードバックされる暗号文ブロックデータ C_i が用いられる。S19において、割り込みITの解除があったことが検知された場合には、S20において、入力をCに設定する。この入力をCに設定することにより、メモリ55に記憶された暗号文ブロックデータ C_i が入力されることになる。このCからの入力による暗号化がスタートした場合には、S13に戻り

入力をBに設定する。

このようにして、割り込みITの発生に基づき、セクタ54を切り替えることができる。

なお、平文Mの暗号化処理も、割り込みITにより任意の時刻にスタートさせてもよい。

【0041】

図5は、スイッチ57の割り込み処理のフローチャートである。

電源がオンになった場合、そして、その後の最初の平文の暗号化処理の場合は、スイッチ57はEに接続される。そして、S31において、割り込みITが発生した場合には、スイッチ57をEからFに接続する。そして、S33において、割り込みITの解除が検出された場合には、スイッチ57をFからEに接続する。このようにして、スイッチ57は、割り込みITの発生から解除までは暗号文ブロックデータ C_i を無視する。従って、メモリ55のレジスタ56には、割り込みITが発生したときに生成された暗号文ブロックデータ C_i が記憶され続けることになる。

【0042】

メモリ55は、割り込みITが発生したときの暗号化装置の状態を記憶するメモリである。メモリ55が暗号化処理の状態を記憶しておくことにより、あるデータの暗号化の最中に他のデータの暗号化を行った場合でも、再びあるデータの暗号化の処理に復帰することができる。即ち、メモリ55に記憶されたデータを用いることにより、暗号化が中断されたときと全く同じ状態に暗号化装置を復帰させることができ、中断した暗号化処理を続行させることが可能になる。

【0043】

図6は、メモリ55の他の例を示す図である。

メモリ55は、割り込み制御部52と入力スイッチ96と出力スイッチ97と複数のレジスタ(REG1, 2, 3)を有している。このように、複数のレジスタを有することにより、複数の割り込みを受け付けることが可能になる。

【0044】

図7は、メモリ55の割り込み処理の動作を示す図である。

割り込み I T が発生すると、S 4 1 において、現在使用中のレジスタ k の番号 k を記憶する。S 4 2 において、入力スイッチ 9 6 と出力スイッチ 9 7 をレジスタ k 以外のレジスタ l に接続する。この状態で、平文 N の暗号化が継続される。更に、平文 N の暗号化の最中に他の割り込みが発生したかを監視する。S 4 3 において、他の割り込み I T が発生したことが検出された場合には、再び自分自身である S 4 0 の処理を呼び出す。このように、割り込み I T が発生するたびに、自分自身を S 4 0 の処理をリカーシブに呼び出すことにより、複数階層の割り込み処理を行うことができる。S 4 4 においては、割り込みが解除されたかを検出し、割り込みが解除された場合には、入力スイッチ 9 6 と出力スイッチ 9 7 を記憶しておいた番号 k を用いてレジスタ k に切り替える。図 6 に示す場合は、3 つのレジスタがあるので、3 階層の割り込み処理を行うことができる。

【 0 0 4 5 】

図 8 は、メモリ 5 5 の他の例を示す図である。

メモリ 5 5 は、スタック 6 4 を有している。スタック 6 4 は、先入れ後出し (F I L O) のレジスタである。スタック 1 を使用中に割り込み I T が発生した場合には、スタック 1 のデータをスタック 2 に移し、それ以後のデータをスタック 1 に積み上げ、割り込み I T が解除された場合には、積み上げたスタック 1 のデータを出力し、スタック 2 のデータをスタック 1 に戻す。図 8 に示す場合は、4 階層の割り込み処理を行える場合を示している。

【 0 0 4 6 】

図 6 に示すように、複数階層の割り込み処理を行うことができる場合は、各割り込みに対して優先度を付けることができる。例えば、割り込み I T 1 を優先度 1 とし、割り込み I T 2 を優先度 1 より優先度の低い優先度 2 とすることにより、優先度 1 の割り込み I T 1 が発生した場合には、優先度 2 の処理を遅らせることができる。

【 0 0 4 7 】

図 9 は、優先度 1 の暗号化処理を優先度 2 の暗号化処理に優先させた場合を示している。優先度 1 の暗号化処理を先に終了させている。

図 1 0 は、優先度がともに等しい場合の暗号化処理の場合を示している。

優先度が等しい場合には、2つの平文の各ブロックデータを交互に暗号化する

。図11は、優先度1のデータと2つの優先度2のデータを暗号化する場合を示している。

図9～図11に示すように、割り込みに優先度を付けることによりユーザが望ましいと思われる暗号化処理手順を実現することができる。緊急用のデータや短いデータの場合には、優先度を高くすることにより効率のよい処理を行うことができる。

【0048】

図12は、メモリ55をフィードバックライン66と並列においた場合を示している。

第1セレクタ61と第2セレクタ62とにより、図1のセレクタ54と同じ選択動作をさせる。

図13は、メモリ55をフィードバックライン67と並列においた場合を示している。

図14は、図13の暗号化装置の動作手順を示す図である。

割り込みITが発生した時刻Xが排他的論理和回路58で排他的論理和演算される前である場合には、メモリ55は、排他的論理和回路58により排他的論理和演算された中間ブロックデータ T_i を記憶する。そして、平文ブロックデータ N_1 を暗号化する。次に、メモリ55に記憶された中間ブロックデータ T_i を第2セレクタ62により選択させ、暗号鍵Kを用いた暗号化モジュール51に入力し、暗号化して暗号文ブロックデータ C_1 を出力する。

【0049】

図1及び図12及び図13に示すように、メモリ55は、フィードバックライン65とフィードバックライン66とフィードバックライン67のいずれのラインと並列の設けられていても構わない。メモリ55は、暗号化装置が、あるデータの暗号化処理中に他のデータの暗号化を開始するとき、他のデータの暗号化を開始する直前の状態を覚えておくものであり、他のデータの暗号化処理が終了した時点で、メモリ55に記憶されたデータを用いて暗号化装置が元の状態に復帰

できるのであれば、メモリ 55 は、どの場所に設けられていても構わない。また、メモリ 55 は、複数箇所に設けられていてもよい。

【0050】

図15は、OFBモードの暗号化装置の構成図である。

図34に比べて、メモリ55が追加されている点が特徴である。

図16は、CFBモードの暗号化装置を示す図である。

図36に比べて、メモリ55が設けられている点が特徴である。

【0051】

図17は、CBCモードの復号装置を示す図である。

図33に比べて、メモリ75が設けられている点が特徴である。

メモリ75は、レジスタ76とスイッチ77により構成されている。

図18は、図17の復号装置の動作手順を示す図である。

暗号文ブロックデータ C_1 を復号している最中に割り込みITの発生があった場合には、暗号文ブロックデータ C_1 がメモリ75のレジスタ76に記憶される。その後、暗号文ブロックデータ D_1 の復号が行われ、平文ブロックデータ N_1 が復号される。そして、メモリ75のレジスタ76に記憶された暗号文ブロックデータ C_1 が読み出され、暗号文ブロックデータ C_2 の復号が行われ、平文ブロックデータ M_2 が復号される。セレクタ74の動作は、図4に示したものと同一である。また、スイッチ77の動作は、図5に示したものと同一である。

【0052】

図19は、OFBモードの復号装置を示す図である。

図20は、CFBモードの復号装置を示す図である。

【0053】

前述した説明においては、3つのモードの場合の暗号化装置と復号装置を説明したが、前述した3つのモードは一例であり、これらのモードの改良されたもの、或いは、これらのモードが変形されたものであっても構わない。特に、特徴となる点は、先のブロックデータが暗号化復号されたときに生成されたブロックデータ C_i 又は M_i 又は T_i が次のブロックデータ M_{i+1} 又は C_{i+1} の暗号化復号処理にフィードバックデータとして用いられる暗号化復号方法において、暗号化

復号の状態を記憶するメモリ 5 5 を設け、他のデータの暗号化復号化の処理後にブロックデータ C_i 又は M_i 又は T_i を用いて再び元の状態に復帰可能にできる点である。従って、特に暗号化モード、復号モードは問わない。

なお、割り込み I T を用いず、ポーリング方式やトークン取得方式等の他のメカニズムを用いて暗号化要求を受け付け、2 以上の暗号化復号処理のインタラクティブな並列処理を行うようにしてもよい。

また、暗号鍵 K を用いる暗号化復号処理の場合を示したが、暗号鍵 K を用いない暗号化復号処理の場合でもよい。

【 0 0 5 4 】

実施の形態 2.

この実施の形態においては、暗号化装置が秘匿処理とデータの完全性保証処理を行う場合について説明する。

データの秘匿処理とは、データを暗号化し、データが盗聴されても、或いは、盗まれても意味が分からなくすることである。また、データの完全性保証とは、データが何者かにより置き換えられていることがないことを保証することをいう。データを伝送する場合には、データの秘匿処理を行った上にデータの完全性を保証して伝送したい場合がある。データの秘匿処理は、データを暗号化することにより行われる。データの完全性保証処理は、データの最後に認証子 (MAC : Message Authentication Code) を付加し、その認証子を検証することにより改竄を発見することにより行われる。

【 0 0 5 5 】

図 2 1 は、OFB モードの暗号化部 1 0 0 により秘匿処理を行い、CBC モードの認証子生成部 2 0 0 により認証子 (MAC) を生成する場合を示している。

図 2 2 は、図 2 1 に示す暗号化装置の動作手順を示す図である。

平文ブロックデータ M_1 が、まず暗号文ブロックデータ C_1 に暗号化される。次に、平文ブロックデータ M_2 が入力され、暗号文ブロックデータ C_2 に暗号化される。この平文ブロックデータ M_2 の暗号化と同じ時刻に暗号文ブロックデータ C_1 が入力され、認証子の演算が始まる。時刻 T_1 と T_2 の間に平文ブロックデータ M_2 の暗号化と暗号文ブロックデータ C_1 に基づく認証子演算が行われる。

。また、時刻 T_2 と T_3 の間では、平文ブロックデータ M_3 の暗号化と暗号文ブロックデータ C_2 に基づく認証子の演算が行われる。時刻 T_3 においては、暗号文ブロックデータ C_3 に基づく認証子の演算が行われ、認証子 P が出力される。

図 2 1 で特徴となる点は、排他的論理和回路 5 8 から出力される暗号文ブロックデータ C_i がフィードライン 6 9 により排他的論理和回路 5 9 に入力されている点である。フィードライン 6 9 により OFB モードと CBC モードの暗号化処理を結合することにより、図 2 2 に示すように、秘匿処理と完全性認証処理がパイプライン処理で実行される。図 4 1 に示した場合は、時刻 T_6 で処理時間がかったが、図 2 2 の場合は、時刻 T_4 で処理が終了して高速処理が行われたことになる。

【 0 0 5 6 】

図 2 3 は、図 2 1 に示した暗号化装置の動作フローチャート図である。

S 5 1 において、ブロックデータカウンタ i を 1 とする。S 5 2 は、暗号化部 1 0 0 の動作であり、暗号化部 1 0 0 は、平文ブロックデータ M_i を入力して平文ブロックデータ M_i を暗号化し、暗号文ブロックデータ C_i を生成して暗号文ブロックデータ C_i を出力する。S 5 3 は、認証子生成部 2 0 0 の動作であり、暗号文ブロックデータ C_i を入力し暗号文ブロックデータ C_i を暗号化し、認証子を演算する。S 5 4 は、ブロックデータカウンタ i が最後のブロックデータ n を示しているかどうかを判断し、最後のブロックデータでない場合には、S 5 5 において、ブロックデータカウンタ i を増加させ、再び S 5 2 の処理に戻る。即ち、暗号化部 1 0 0 と認証子生成部 2 0 0 の処理を繰り返す。S 5 4 において、最後のブロックデータの処理が終了した場合には、S 5 3 で演算された直前の認証子が最終的な認証子であるから、S 5 6 において、その認証子を暗号文ブロックデータ C_i の最後に付加する。図 2 3 に示すように、暗号化部 1 0 0 が暗号文ブロックデータ C_i を生成するたびに、認証子生成部 2 0 0 が暗号文ブロックデータ C_i を入力して認証子を演算することによりパイプライン処理が可能になり、高速処理が行われる。

【 0 0 5 7 】

図 2 4 は、図 2 1 に示した暗号化部 1 0 0 と認証子生成部 2 0 0 をあわせたも

のである。即ち、暗号化部100と認証子生成部200の暗号化モジュール51を兼用し、また、暗号化部100と認証子生成部200の排他的論理和回路58と59を兼用したものである。更には、暗号化部100のフィードバックライン65と認証子生成部200のフィードバックライン66を兼用したものである。

【0058】

第1セレクタ61は、秘匿処理の開始時にイニシャルバリュースIVを選択するものである。第2セレクタ62は、完全性保証処理の開始時にイニシャルバリュースIVを選択するものである。第3セレクタ63は、秘匿処理と完全性保証処理を交互に選択するものである。第3セレクタ63は入力をEにすることにより、秘匿処理を行わせることができる。また、第3セレクタ63は入力をFにすることにより、完全性保証処理を行わせることができる。

メモリ93は、暗号鍵Kを用いた暗号化モジュール51から出力された中間ブロックデータ T_i を記録するものである。メモリ93は、入力スイッチ96と出力スイッチ97と第1レジスタ98と第2レジスタ99により構成されている。入力スイッチ96と出力スイッチ97は、第3セレクタ63の切り替えと同期しており、第3セレクタ63が切り替わるたびに入力スイッチ96及び出力スイッチ97も切り替わる。

【0059】

図25は、図24に示す暗号化装置の動作手順を示す図である。

時刻 T_0 と T_1 の間で平文ブロックデータ M_1 の秘匿処理が行われる。秘匿処理の途中で生成された中間ブロックデータは、第1レジスタ98に記憶される。時刻 T_1 と T_2 の間では、暗号文ブロックデータ C_1 に基づく認証子の演算が行われる。完全性保証処理により生成された認証子演算途中結果は、第2レジスタ99に記憶される。次に、時刻 T_2 と T_3 の間では、第1レジスタ98に記憶された中間ブロックデータと平文ブロックデータ M_2 に基づいて平文ブロックデータ M_2 の秘匿処理が行われる。次に、時刻 T_3 と T_4 の間では、第2レジスタ99に記憶された認証子中間演算結果と暗号文ブロックデータ C_2 が入力され、認証子の演算が行われる。この動作を繰り返すことにより、秘匿処理と完全性認証処理が完了し、暗号文と認証子Pが出力される。図25に示す場合は、時刻 T_6

までで処理が終了し、時間の短縮は図られていないが、図 2 4 に示すように、暗号鍵 K を用いた暗号化モジュール 5 1 と排他的論理和回路 5 8 とフィードバックライン 6 7, 6 8 (フィードバックループ) が兼用されているので、回路規模を小さくすることができる。

【 0 0 6 0 】

図 2 6 は、O F B モードの復号化部 3 0 0 と C B C モードの認証子生成部 4 0 0 を有する復号装置を示す図である。

この認証子生成部 4 0 0 は、認証子生成部 2 0 0 と同一構成のものである。

暗号文ブロックデータ C_i は、復号化部 3 0 0 の排他的論理和回路 7 8 に入力されると同時に、フィードライン 6 9 により認証子生成部 4 0 0 に入力される。このような構成により、復号化部 3 0 0 と認証子生成部 4 0 0 の処理が同時並列実行され、処理速度が向上する。

【 0 0 6 1 】

図 2 7 は、図 2 6 に示した復号装置の復号化部 3 0 0 と認証子生成部 4 0 0 を一体化したものである。

図 2 7 は、暗号鍵 K を用いた復号モジュール 7 1 とフィードバックライン 8 7, 8 8 (フィードバックループ) が兼用されている場合を示している。

第 1 セレクタ 8 1 は、復号処理の開始時にイニシャルバリュウー I V を選択するものである。第 2 セレクタ 8 2 は、完全性保証処理の開始時にイニシャルバリュウー I V を選択するものである。第 3 セレクタ 8 3 は、復号処理と完全性保証処理を交互に選択するものである。第 3 セレクタ 8 3 は入力を E にすることにより、復号処理を行わせることができる。また、第 3 セレクタ 8 3 は入力を F にすることにより、完全性保証処理を行わせることができる。

メモリ 9 3 は、暗号鍵 K を用いた暗号化モジュール 5 1 から出力された中間ブロックデータ T_i を記録するものである。メモリ 9 3 は、入力スイッチ 9 6 と出力スイッチ 9 7 と第 1 レジスタ 9 8 と第 2 レジスタ 9 9 により構成されている。入力スイッチ 9 6 と出力スイッチ 9 7 は、第 3 セレクタ 8 3 の切り替えと同期しており、第 3 セレクタ 8 3 が切り替わるたびに入力スイッチ 9 6 及び出力スイッチ 9 7 も切り替わる。

【 0 0 6 2 】

図 2 8 は、図 2 7 に示した復号装置の動作手順を示す図である。

時刻 T_0 と T_1 の間で暗号文ブロックデータ C_1 の復号処理と暗号文ブロックデータ C_1 のレジスタ 1 1 1 への保存が行われる。復号処理の途中で生成された中間ブロックデータは、第 1 レジスタ 9 8 に記憶される。時刻 T_1 と T_2 の間では、レジスタ 1 1 1 に保存された暗号文ブロックデータ C_1 に基づく認証子の演算が行われる。完全性保証処理により生成された認証子演算途中結果は、第 2 レジスタ 9 9 に記憶される。次に、時刻 T_2 と T_3 の間では、暗号文ブロックデータ C_2 がレジスタ 1 1 1 に保存され、第 1 レジスタ 9 8 に記憶された中間ブロックデータと暗号文ブロックデータ C_2 に基づいて平文ブロックデータ M_2 の復号処理が行われる。次に、時刻 T_3 と T_4 の間では、第 2 レジスタ 9 9 に記憶された認証子中間演算結果とレジスタ 1 1 1 に保存された暗号文ブロックデータ C_2 が入力され、認証子の演算が行われる。この動作を繰り返すことにより、復号処理と完全性認証処理が完了し、平文と認証子 P が出力される。

【 0 0 6 3 】

図 2 9 は、前述した暗号化装置又は復号装置の実装形式を示す図である。

図 2 9 は、FPGA 又は IC 又は LSI の中に前述した暗号化装置及び復号装置が実現されている場合を示している。即ち、前述した暗号化装置及び復号装置は、ハードウェアで実現することができる。また、図示していないが、プリントサーキットボードにより実現することも可能である。

【 0 0 6 4 】

図 3 0 は、前述した暗号化装置及び復号装置をソフトウェアで実現する場合を示している。

前述した暗号化装置は、暗号化プログラム 4 7 で実現することができる。暗号化プログラム 4 7 は、ROM 4 2 に記憶されている。暗号化プログラム 4 7 は、サブルーチンとして機能する。暗号化プログラム 4 7 は、RAM 4 5 に記憶されたアプリケーションプログラム 4 6 からサブルーチンコールにより呼び出されて実行される。或いは、暗号化プログラム 4 7 は、割り込み制御部 4 3 で受け付ける割り込みの発生により起動されるようにしても構わない。メモリ 5 5 は、RA

M45の一部であっても構わない。アプリケーションプログラム46、暗号化プログラム47は、CPU41により実行されるプログラムである。

【0065】

図31は、アプリケーションプログラム46が暗号化プログラム47を呼び出すメカニズムを示している。

アプリケーションプログラム46は、鍵KとイニシャルバリューIVと平文Mと暗号文Cをパラメータにして暗号化プログラム47を呼び出す。暗号化プログラム47は、鍵KとイニシャルバリューIVと平文Mを入力し、暗号文Cを返すものである。暗号化プログラム47と復号プログラムが同一のときは、鍵KとイニシャルバリューIVと暗号文Cと平文Mをパラメータにして暗号化プログラム47を呼び出す。

また、図示しないが、暗号化プログラム47は、デジタルシグナルプロセッサと、そのデジタルシグナルプロセッサにより読み込まれて実行されるプログラムによって実現しても構わない。即ち、ハードウェアとソフトウェアの組み合わせによって暗号化プログラム47を実現しても構わない。

【0066】

図29、図30、図31は、主として、暗号化装置の場合を説明したが、復号装置でも同様の方式で実現できる。

【0067】

図29及び図30に示したような暗号化装置及び復号装置は、電子機器に対してインストールすることができる。例えば、パーソナルコンピュータやファクシミリ装置や携帯電話やビデオカメラやデジタルカメラやテレビカメラ等のあらゆる電子機器にインストールすることができる。特に、この実施の形態における特徴が発揮できるのは、複数のチャネルからのデータを暗号化復号する場合に有効である。或いは、複数のユーザからのデータがアットランダムに到着して復号する場合に、或いは、複数のユーザに対するデータがアットランダムに発生して、それぞれのデータをリアルタイムに暗号化するような場合に有効である。即ち、暗号化復号するデータの数に比べて暗号化復号する装置の数が少ない場合に、前述した実施の形態の暗号化装置、復号装置が非常に有効である。例えば、多くの

クライアントコンピュータをサポートしなければならないサーバコンピュータや多くの携帯電話機からのデータを集配しなければならない基地局や回線コントローラなどに、前述した暗号化装置や復号装置が非常に有効である。

【0068】

なお、暗号化処理同士及び復号処理同士の並列処理でなく、暗号化処理と復号処理との並列処理を行うようにしてもよい。

【0069】

また、OFBモードの暗号化部（又は復号化部）とCBCモードの認証子生成部との組み合わせの場合を示したが、OFBモードとCBCモードとCFBモードとこれらのモードの改良モードとその他のモードとのいずれのモードの組み合わせでも構わない。

【0070】

また、認証子生成部が、暗号鍵Kを用いた暗号化を行う場合を示したが、認証子生成部は、データの攪拌や演算やその他のデータ処理を行う場合であっても構わない。

【0071】

【発明の効果】

以上のように、この発明の好適な実施の形態によれば、平文Mの暗号化の途中で平文Nの暗号化を開始することができる。また、暗号文Cの復号中に他の暗号文Dの復号を開始することができる。

【0072】

また、この発明の好適な実施の形態によれば、優先度を付けることにより暗号化復号されるデータを優先度に基づいて高速に処理することができる。

【0073】

また、この発明の好適な実施の形態によれば、秘匿処理と完全性保証処理とを並列処理することにより高速処理が行える。また、秘匿処理と完全性保証処理を統合化された1つのハードウェアで行うことができる。

【図面の簡単な説明】

【図1】 実施の形態1のCBCモードの暗号化装置を示す図。

- 【図 2】 CBCモードの暗号化装置の動作手順を示す図。
- 【図 3】 CBCモードの暗号化装置の動作フローチャート図。
- 【図 4】 セレクタ 5 4 の動作フローチャート図。
- 【図 5】 スイッチ 5 7 の割り込み処理フローチャート図。
- 【図 6】 メモリ 5 5 の他の例を示す図。
- 【図 7】 メモリ 5 5 の割り込み処理フローチャート図。
- 【図 8】 メモリ 5 5 の他の例を示す図。
- 【図 9】 優先度処理を示す図。
- 【図 1 0】 優先度処理を示す図。
- 【図 1 1】 優先度処理を示す図。
- 【図 1 2】 メモリ 5 5 がフィードバックライン 6 6 と並列に設けられている図。
- 【図 1 3】 メモリ 5 5 がフィードバックライン 6 7 に並列に設けられている図。
- 【図 1 4】 図 1 3 の暗号化装置の動作手順を示す図。
- 【図 1 5】 OFBモードの暗号化装置を示す図。
- 【図 1 6】 CFBモードの暗号化装置を示す図。
- 【図 1 7】 CBCモードの復号装置を示す図。
- 【図 1 8】 CBCモードの復号装置の動作手順を示す図。
- 【図 1 9】 OFBモードの復号装置を示す図。
- 【図 2 0】 CFBモードの復号装置を示す図。
- 【図 2 1】 実施の形態 2 の暗号化部 1 0 0 と認証子生成部 2 0 0 を有する暗号化装置を示す図。
- 【図 2 2】 暗号化部 1 0 0 と認証子生成部 2 0 0 を有する暗号化装置の動作手順を示す図。
- 【図 2 3】 暗号化部 1 0 0 と認証子生成部 2 0 0 を有する暗号化装置のフローチャート図。
- 【図 2 4】 暗号化部 1 0 0 と認証子生成部 2 0 0 を 1 つにした暗号化装置を示す図。

【図 2 5】 暗号化部 1 0 0 と認証子生成部 2 0 0 を 1 つにした暗号化装置の動作手順を示す図。

【図 2 6】 復号化部 3 0 0 と認証子生成部 4 0 0 を有する復号装置を示す図。

【図 2 7】 復号化部 3 0 0 と認証子生成部 4 0 0 を 1 つにした復号装置を示す図。

【図 2 8】 復号化部 3 0 0 と認証子生成部 4 0 0 を 1 つにした復号装置の動作手順を示す図。

【図 2 9】 暗号化装置及び復号装置のハードウェア実現例を示す図。

【図 3 0】 暗号化装置及び復号装置のハードウェア実現例を示す図。

【図 3 1】 アプリケーションプログラム 4 6 により暗号化プログラム 4 7 が呼び出される場合を示す図。

【図 3 2】 従来の C B C モードの暗号化装置を示す図。

【図 3 3】 従来の C B C モードによる復号装置を示す図。

【図 3 4】 従来の O F B モードの暗号化装置を示す図。

【図 3 5】 従来の O F B モードによる復号装置を示す図。

【図 3 6】 従来の C F B モードの暗号化装置を示す図。

【図 3 7】 従来の C F B モードによる復号装置を示す図。

【図 3 8】 従来の暗号化手順を示す図。

【図 3 9】 従来の暗号化手順を示す図。

【図 4 0】 秘匿処理と完全性保証処理を説明する図。

【図 4 1】 従来の秘匿処理と完全性保証処理の動作手順を示す図。

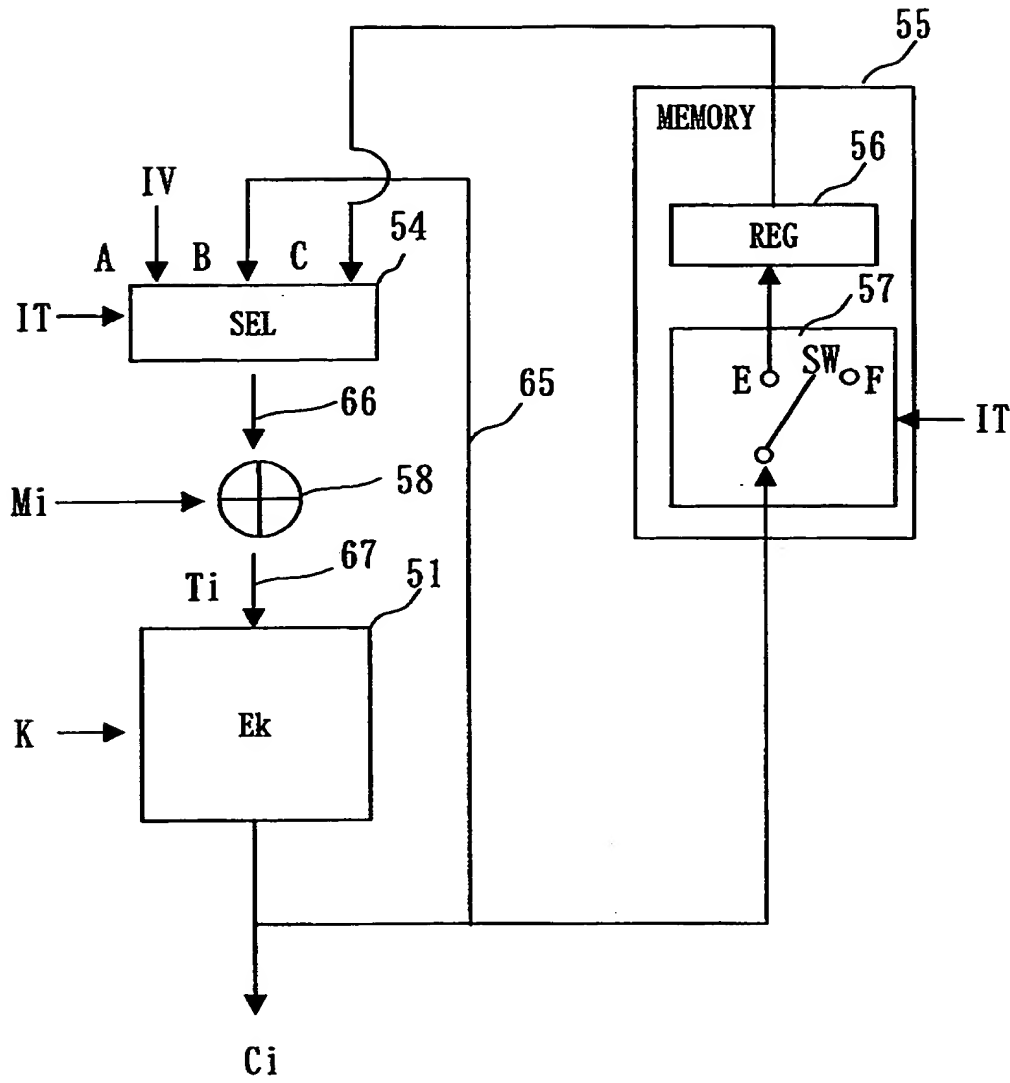
【符号の説明】

4 1 CPU、4 2 ROM、4 3, 5 2 割り込み制御部、4 5 RAM、
4 6 アプリケーションプログラム、4 7 暗号化プログラム、5 1 暗号鍵 K
を用いた暗号化モジュール、5 3, 5 4, 7 3, 7 4 セレクタ、5 5, 7 5,
9 5 メモリ、5 6, 7 6 レジスタ、5 7, 7 7 スイッチ、5 8, 5 9, 7
8, 7 9 排他的論理和回路、6 1, 8 1 第 1 セレクタ、6 2, 8 2 第 2 セ
レクタ、6 3, 8 3 第 3 セレクタ、6 4 スタック、6 5, 6 6, 6 7, 6 8

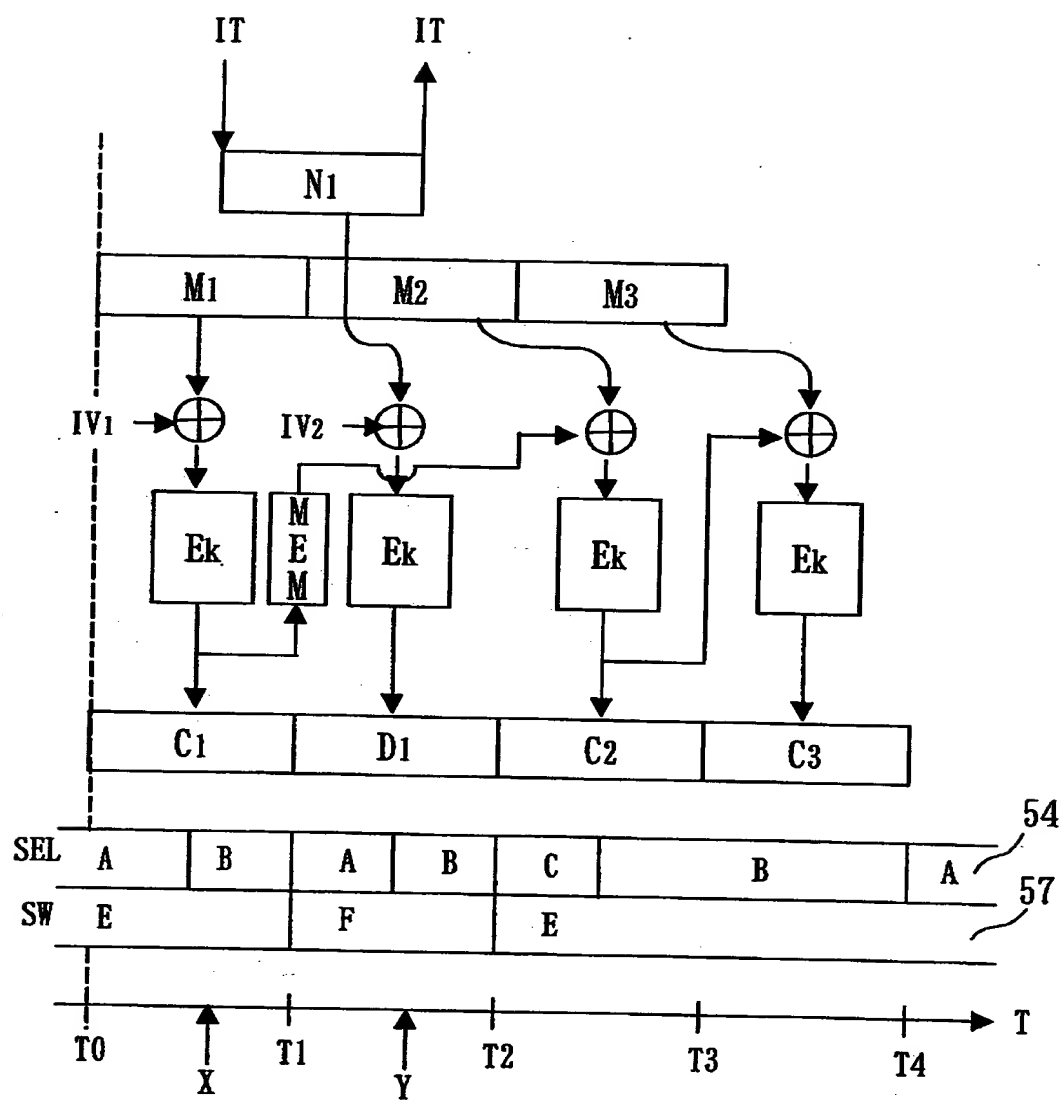
、85、86、87、88 フィードバックライン、69、89 フィードライン、71 暗号鍵Kを用いた復号モジュール、93 第1スイッチ、94 第2スイッチ、96 入力スイッチ、97 出力スイッチ、98 第1レジスタ、99 第2レジスタ、111 レジスタ、 C_1 、 C_2 、 C_3 、 C_i 、 D_1 暗号文ブロックデータ、 F_i フィードバックブロックデータ、IT 割り込み、IV イニシャルバリュー、 N_1 、 M_1 、 M_2 、 M_3 、 M_i 平文ブロックデータ、P 認証子、T、X、Y 時刻、 T_i 中間ブロックデータ。

【書類名】 図面

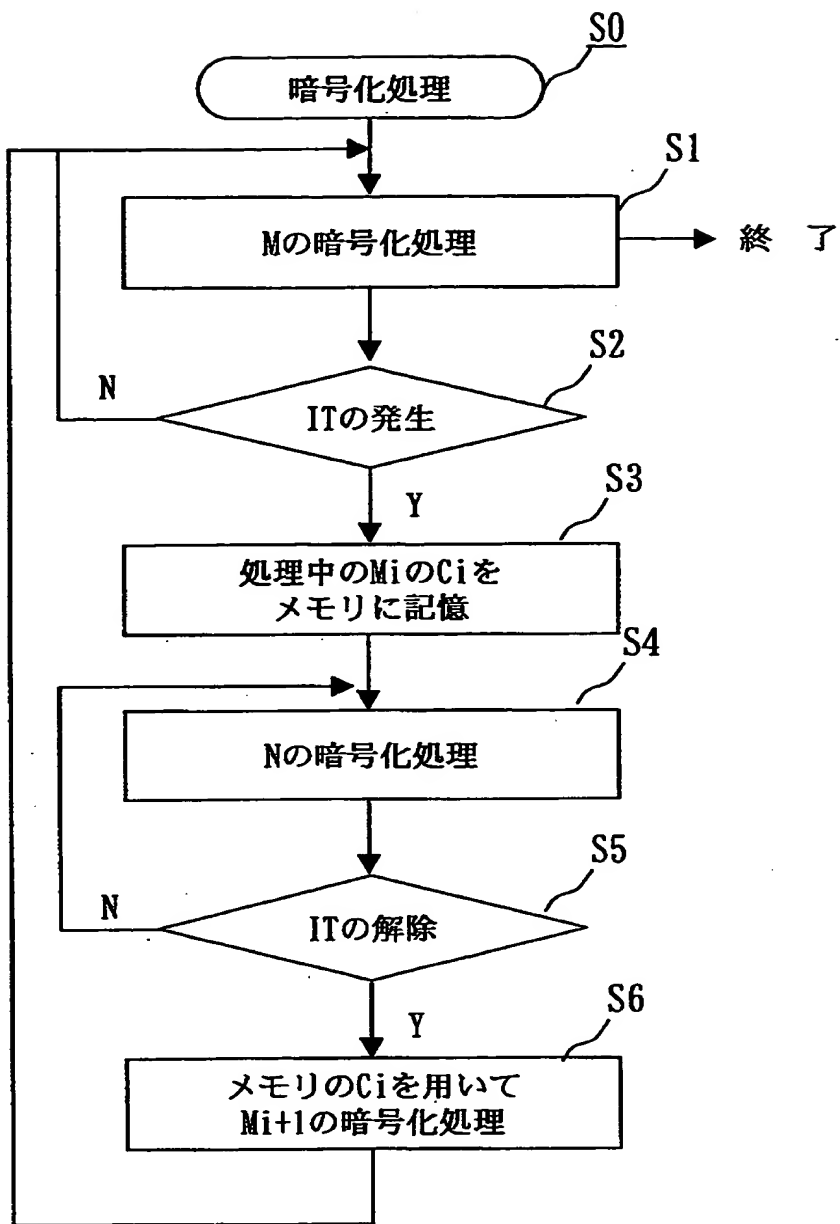
【図 1】



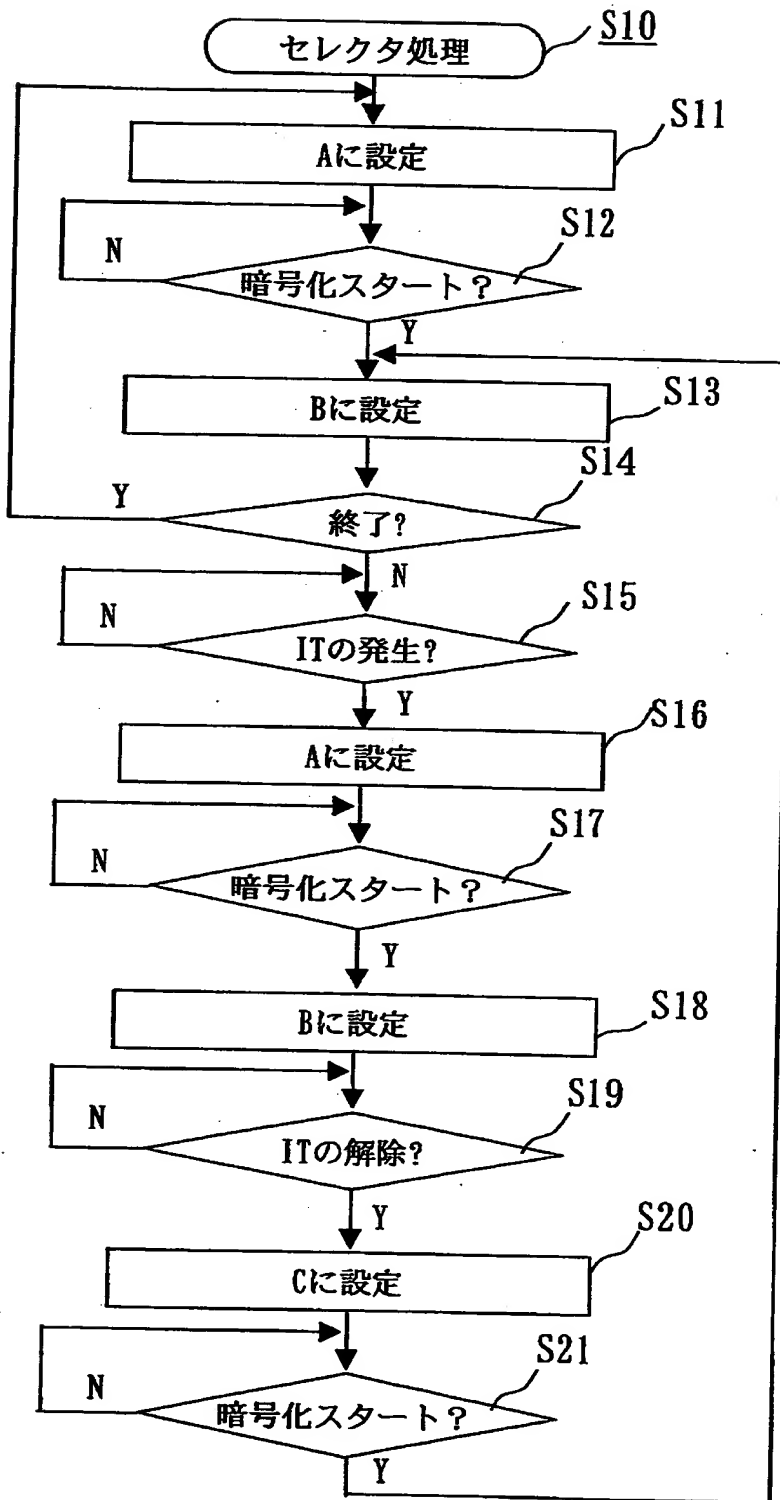
【図 2】



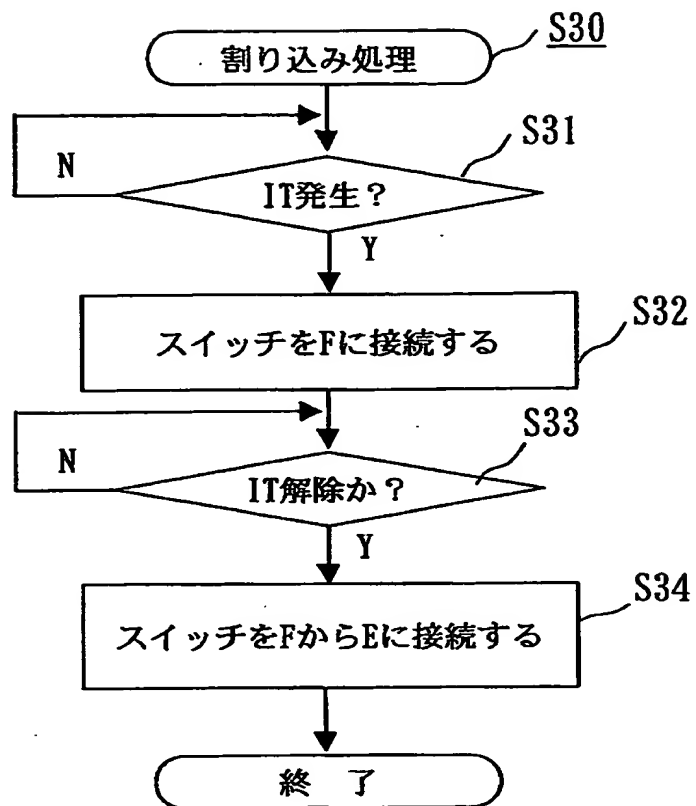
【図 3】



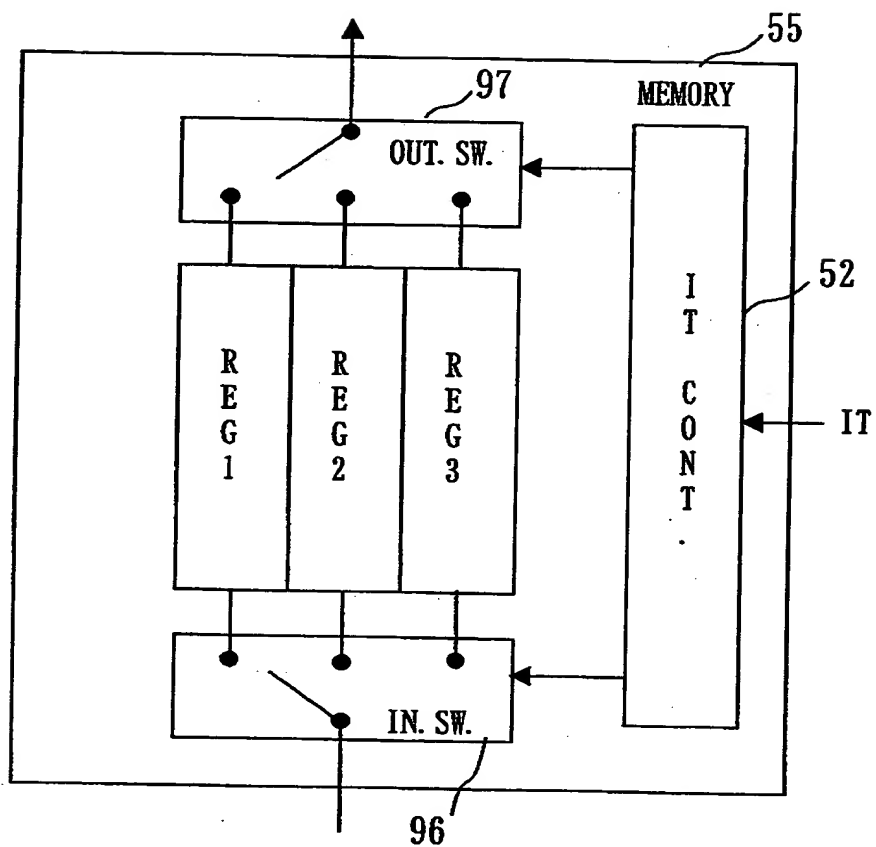
【図 4】



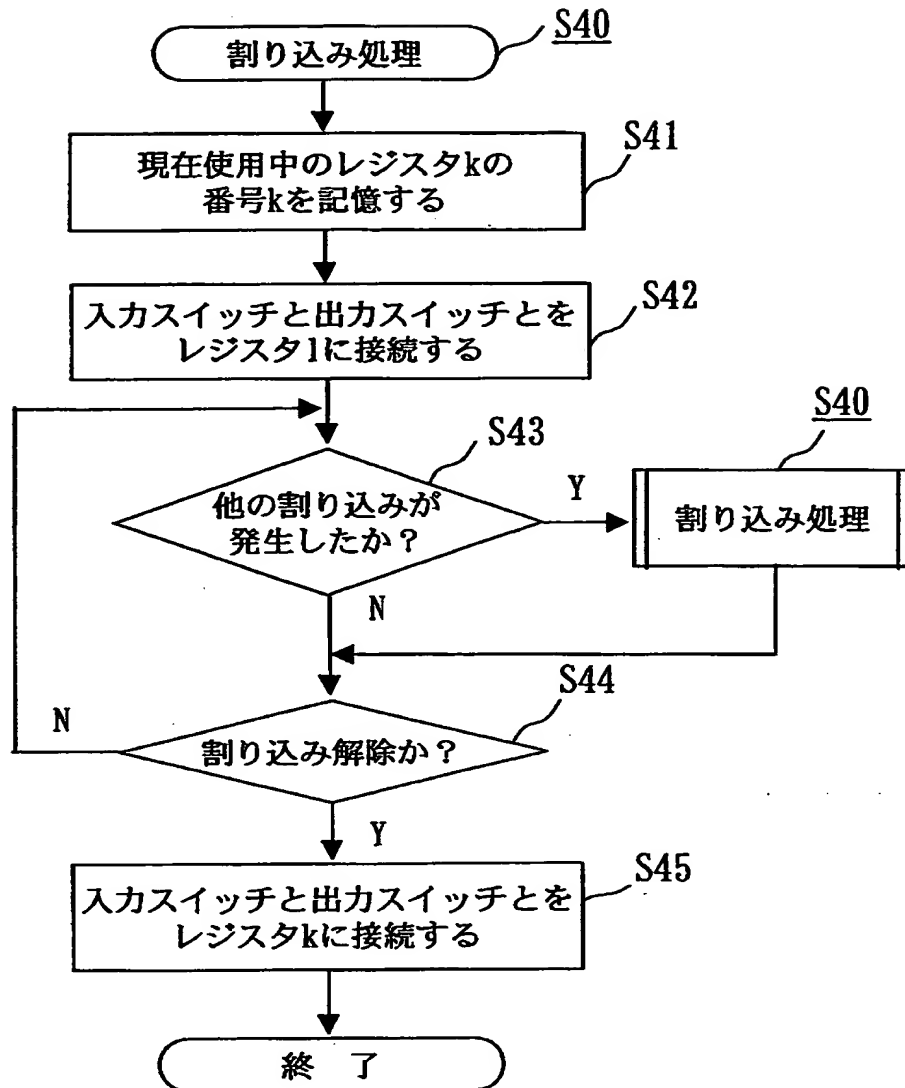
【図5】



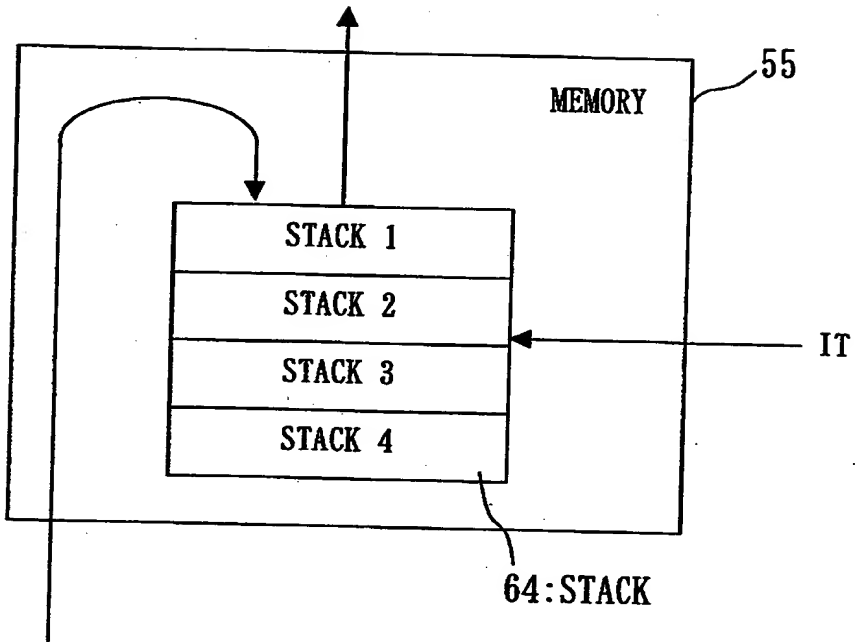
【図 6】



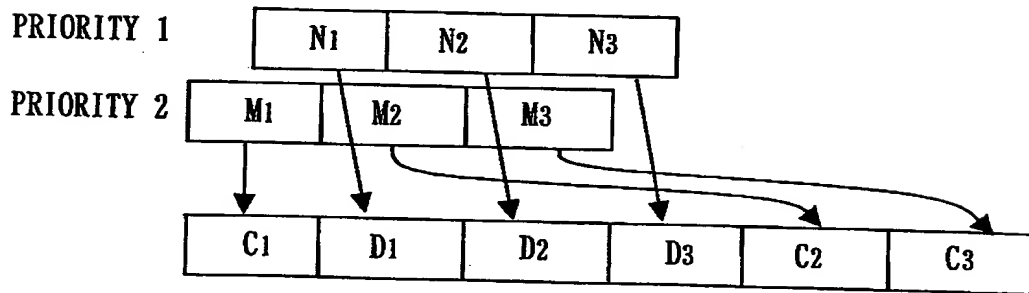
【図 7】



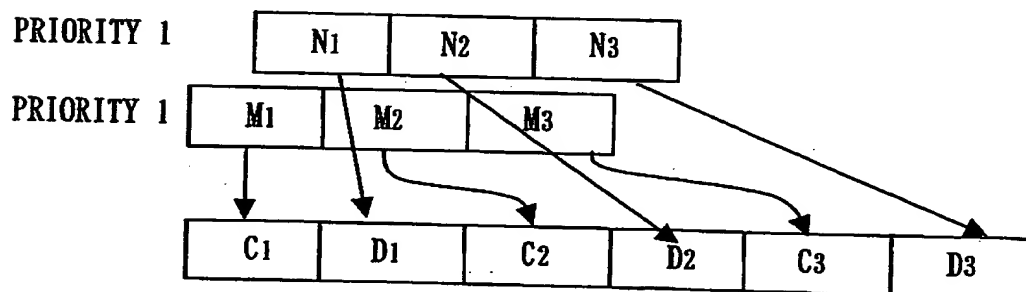
【図 8】



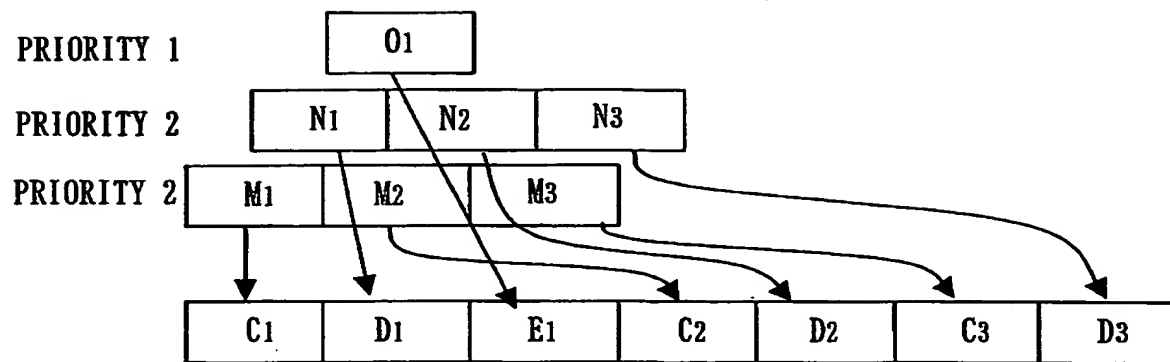
【図 9】



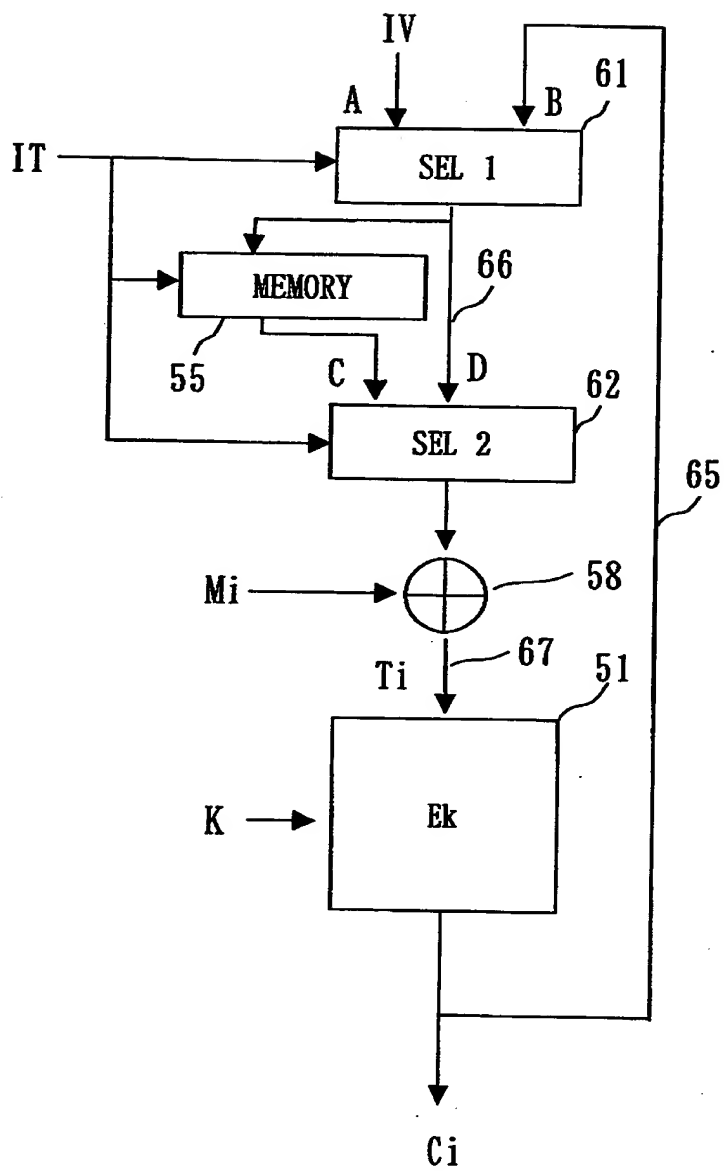
【図 1 0】



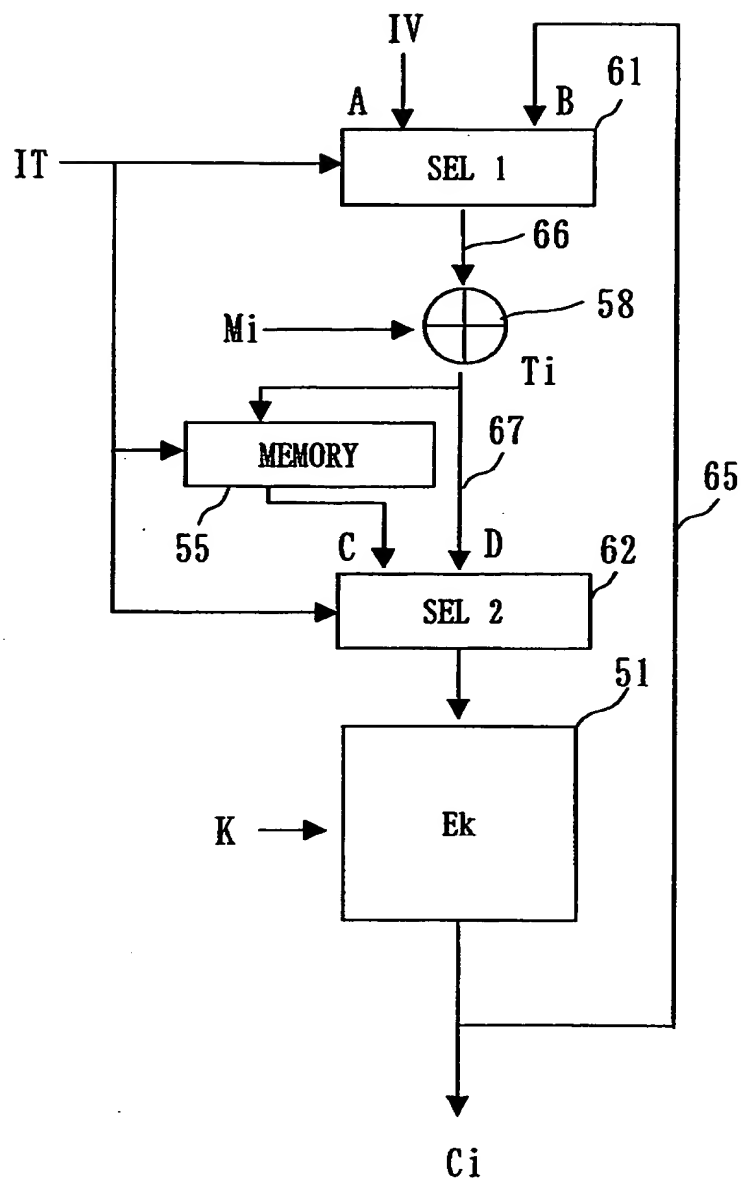
【図 1 1】



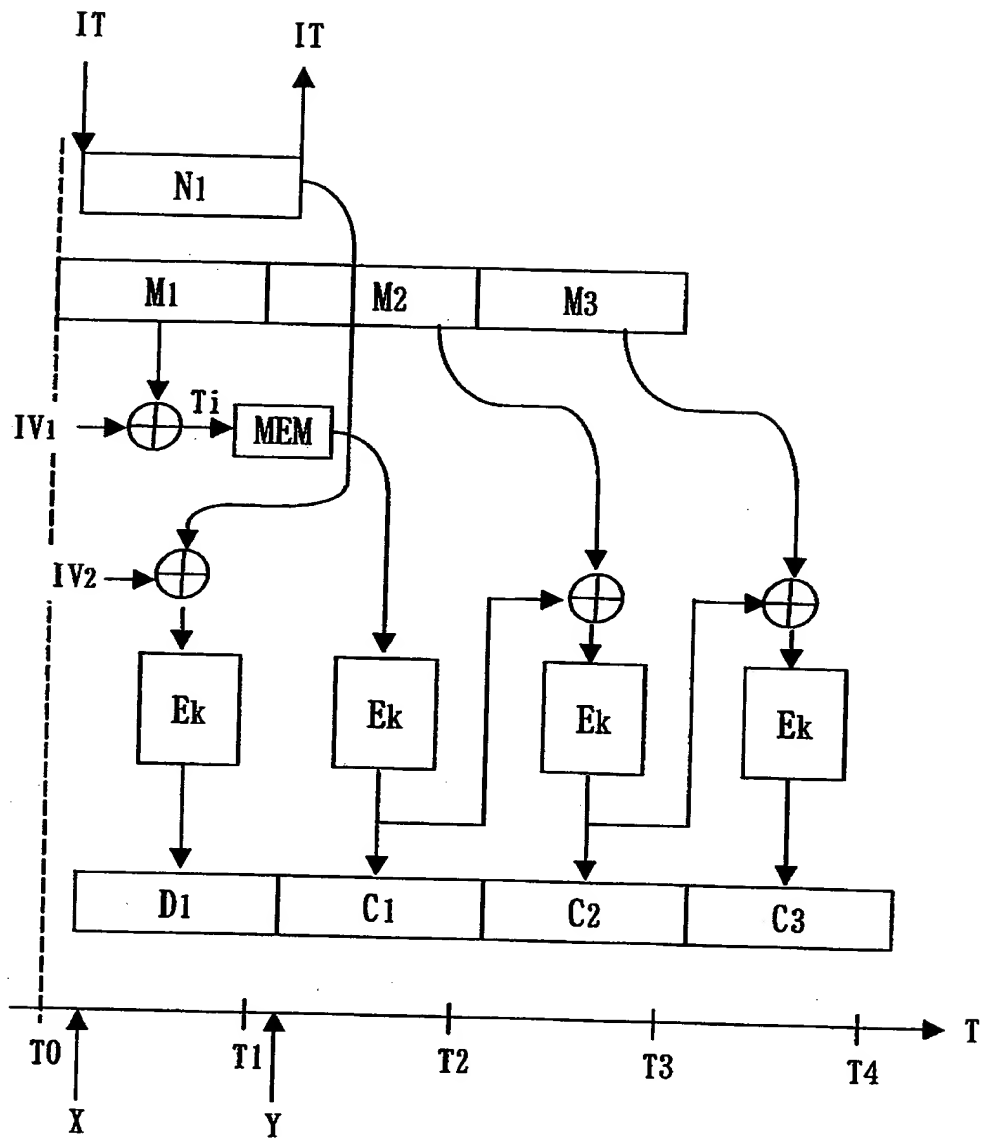
【図 12】



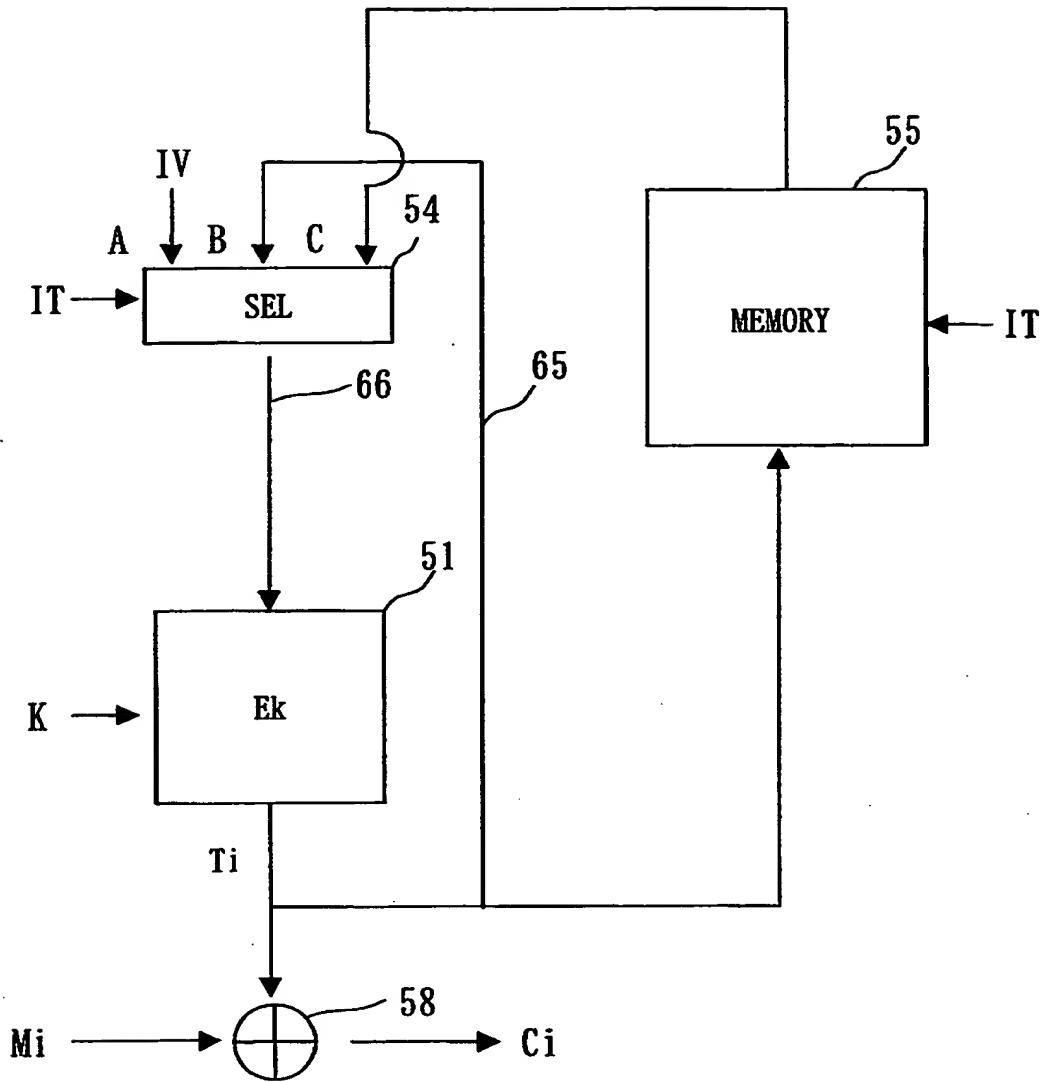
【図 1 3】



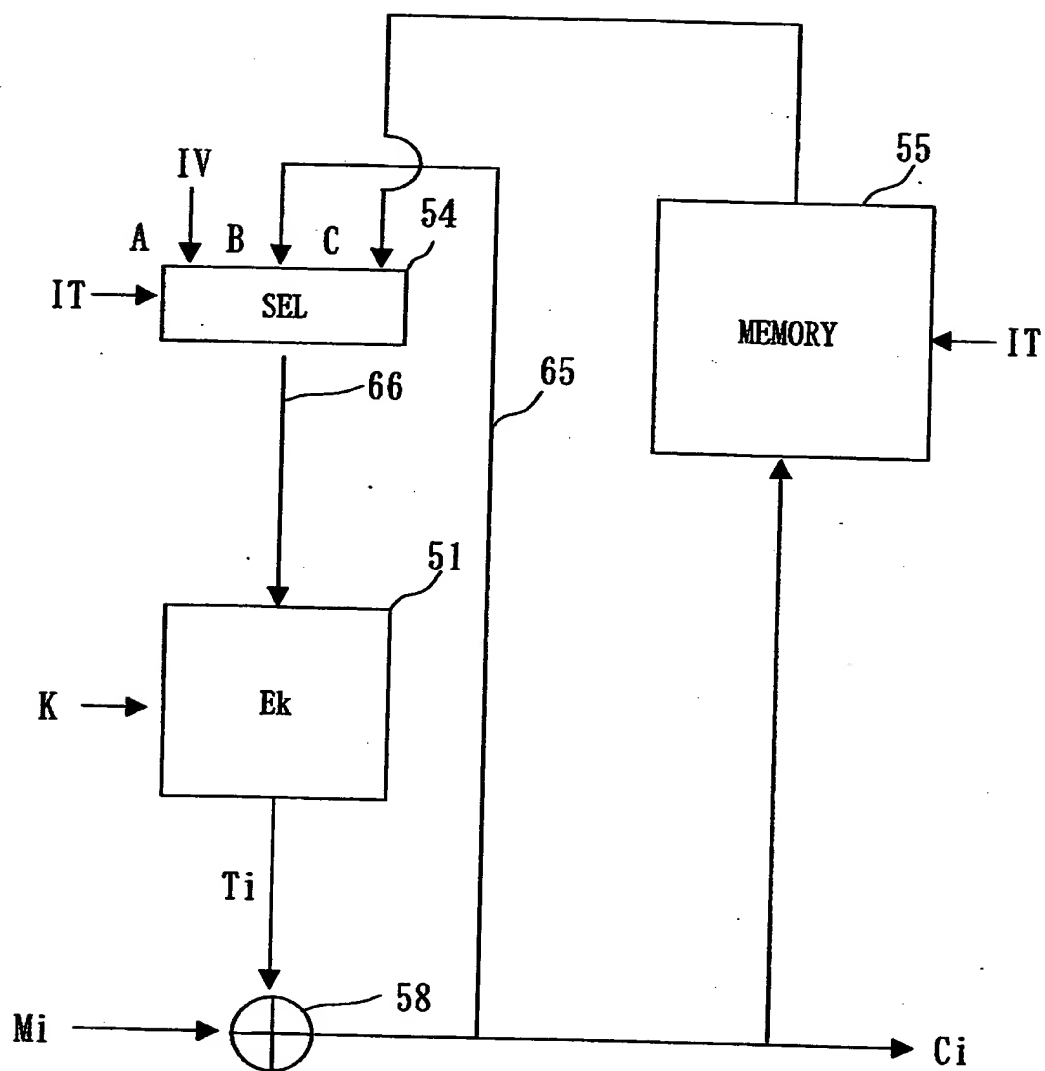
【図 1 4】



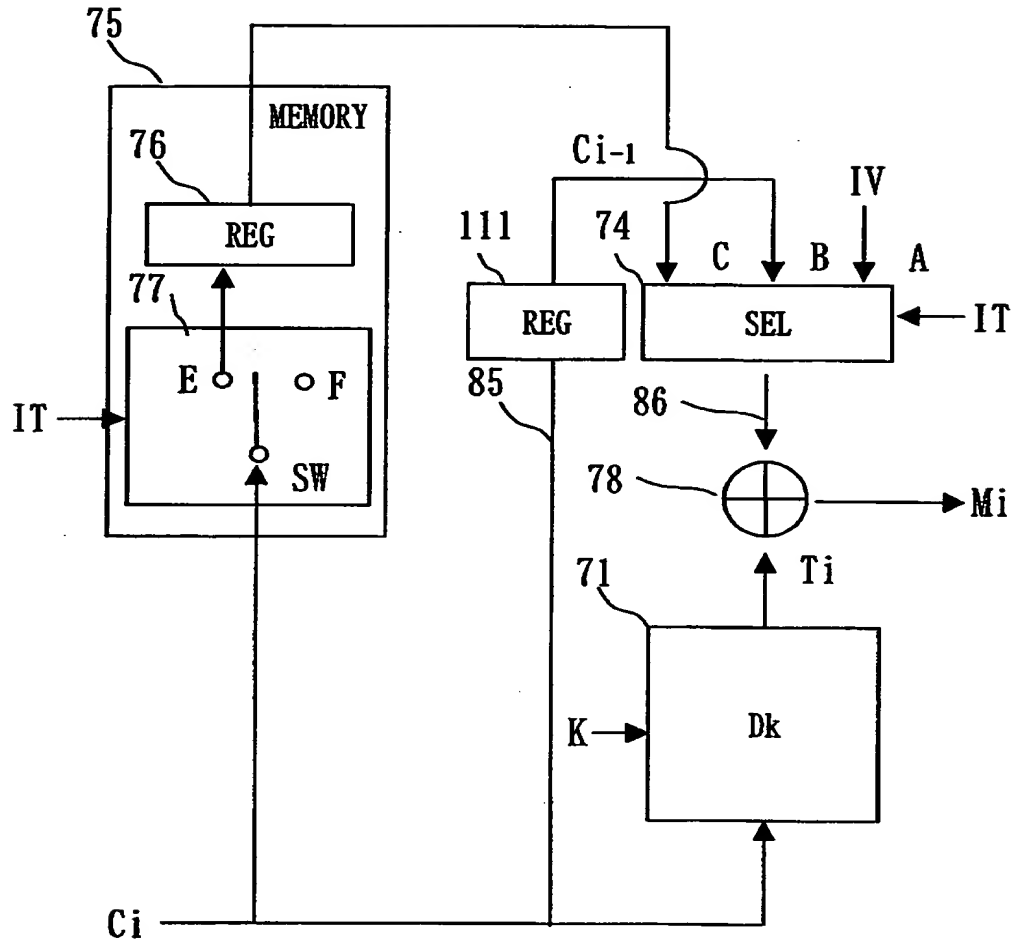
【図 1 5】



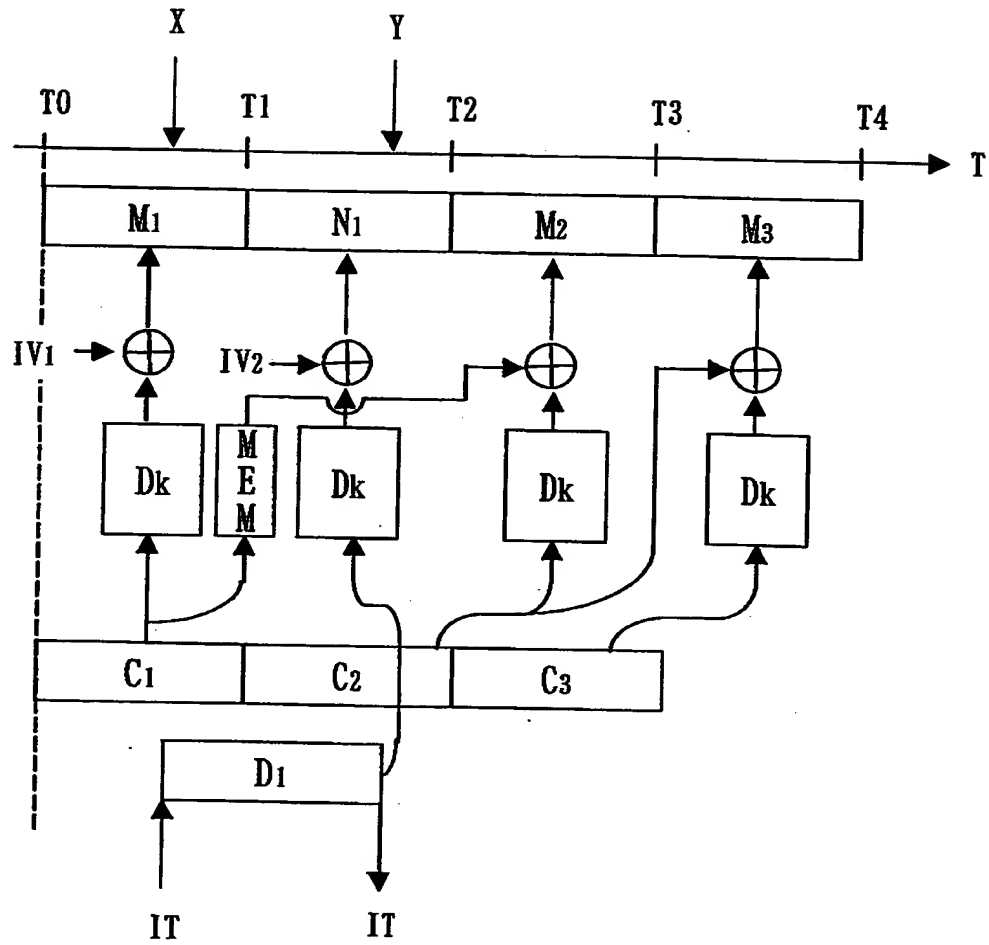
【図16】



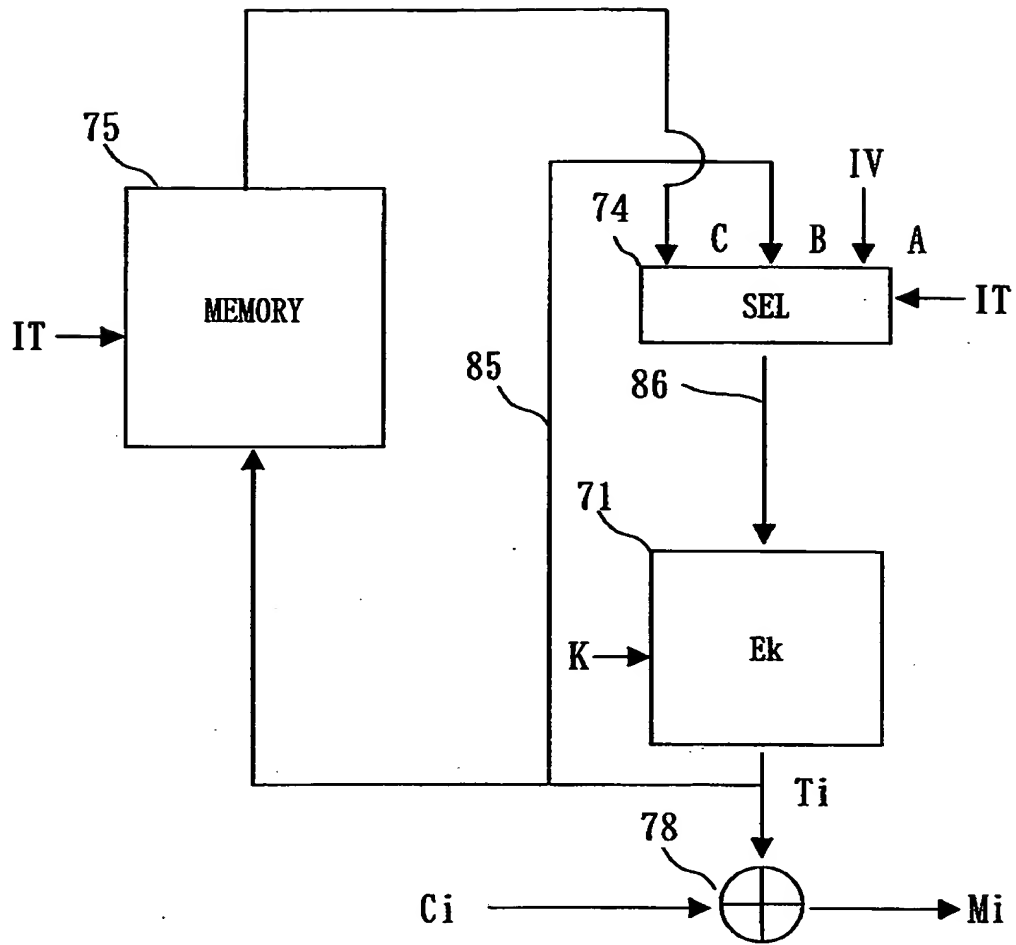
【図 17】



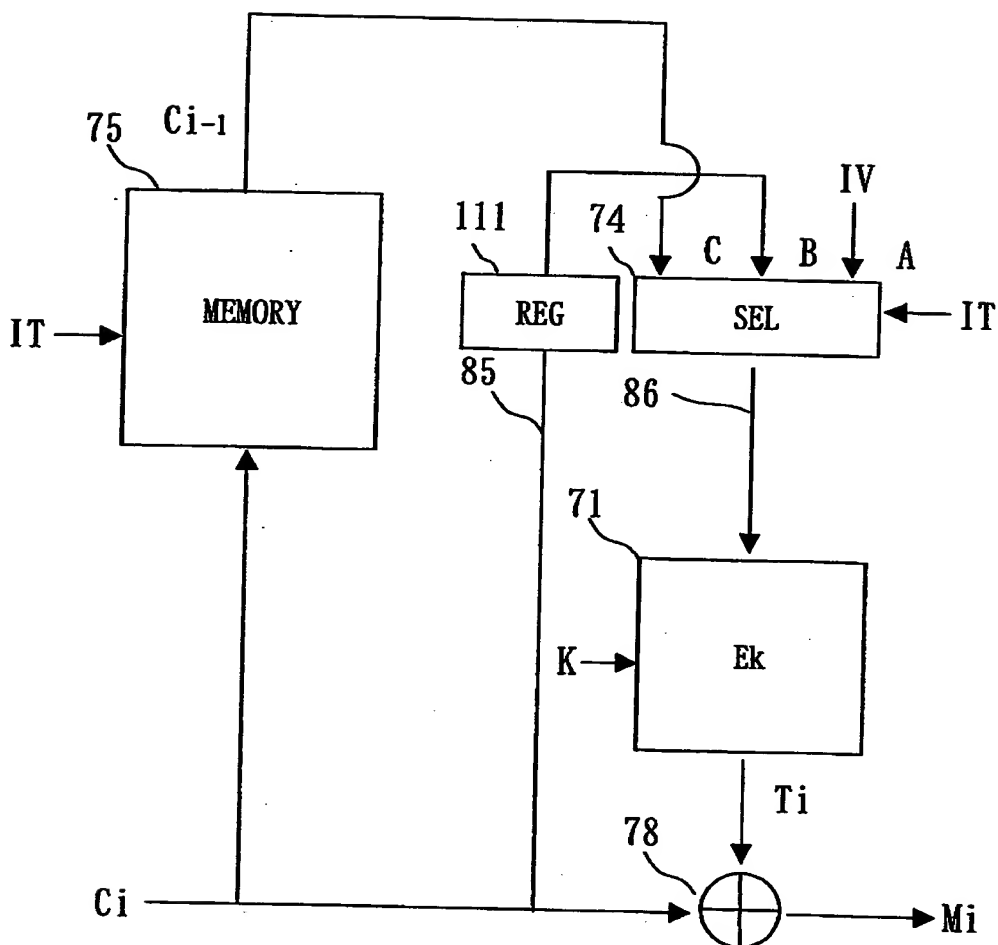
【図 18】



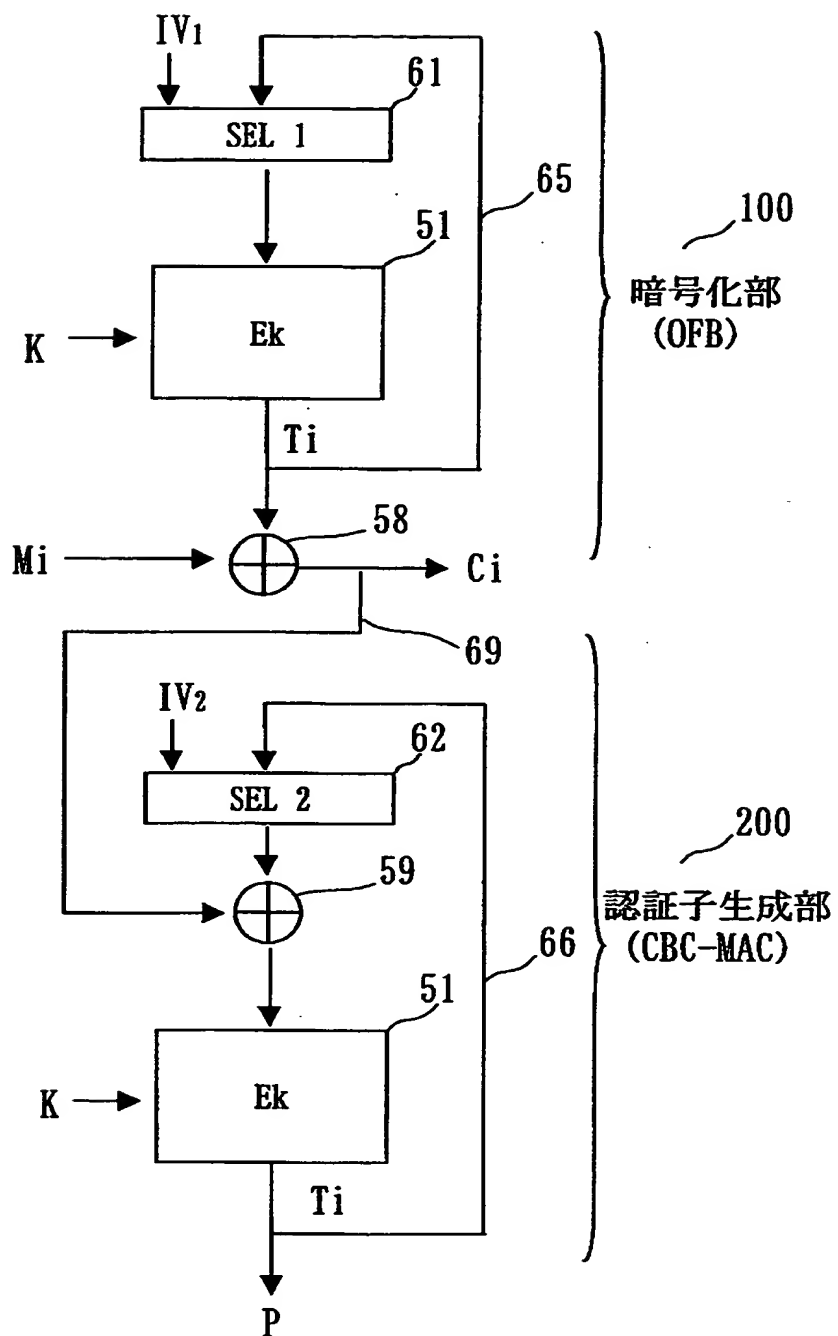
【図19】



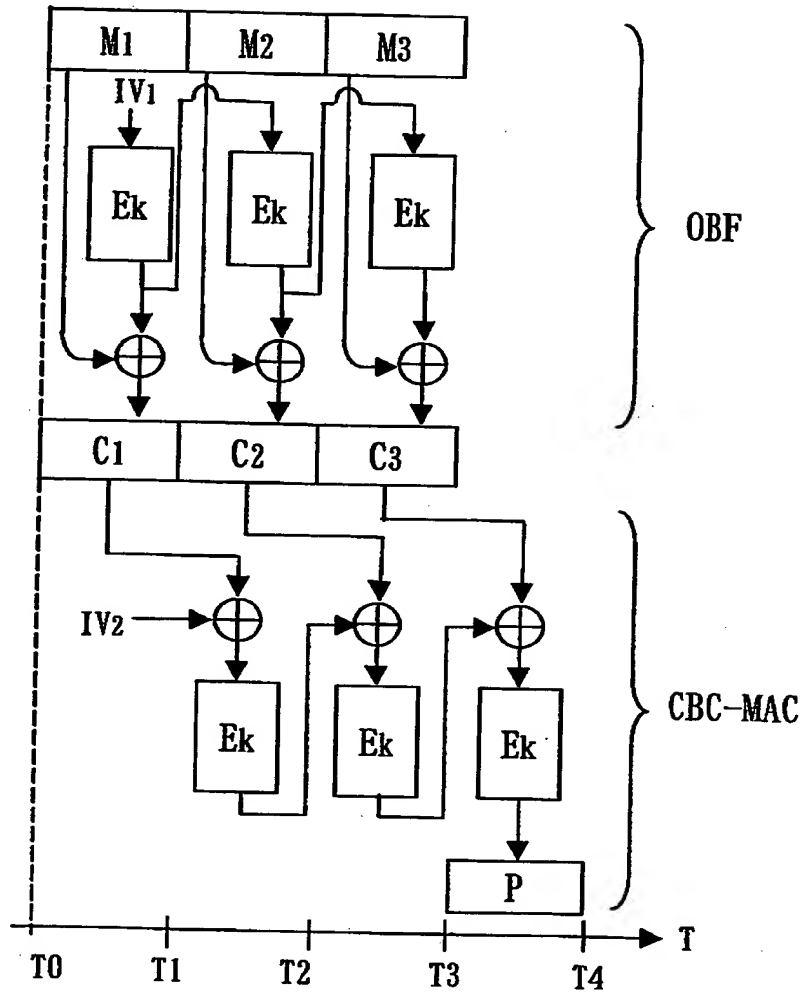
【図 2 0】



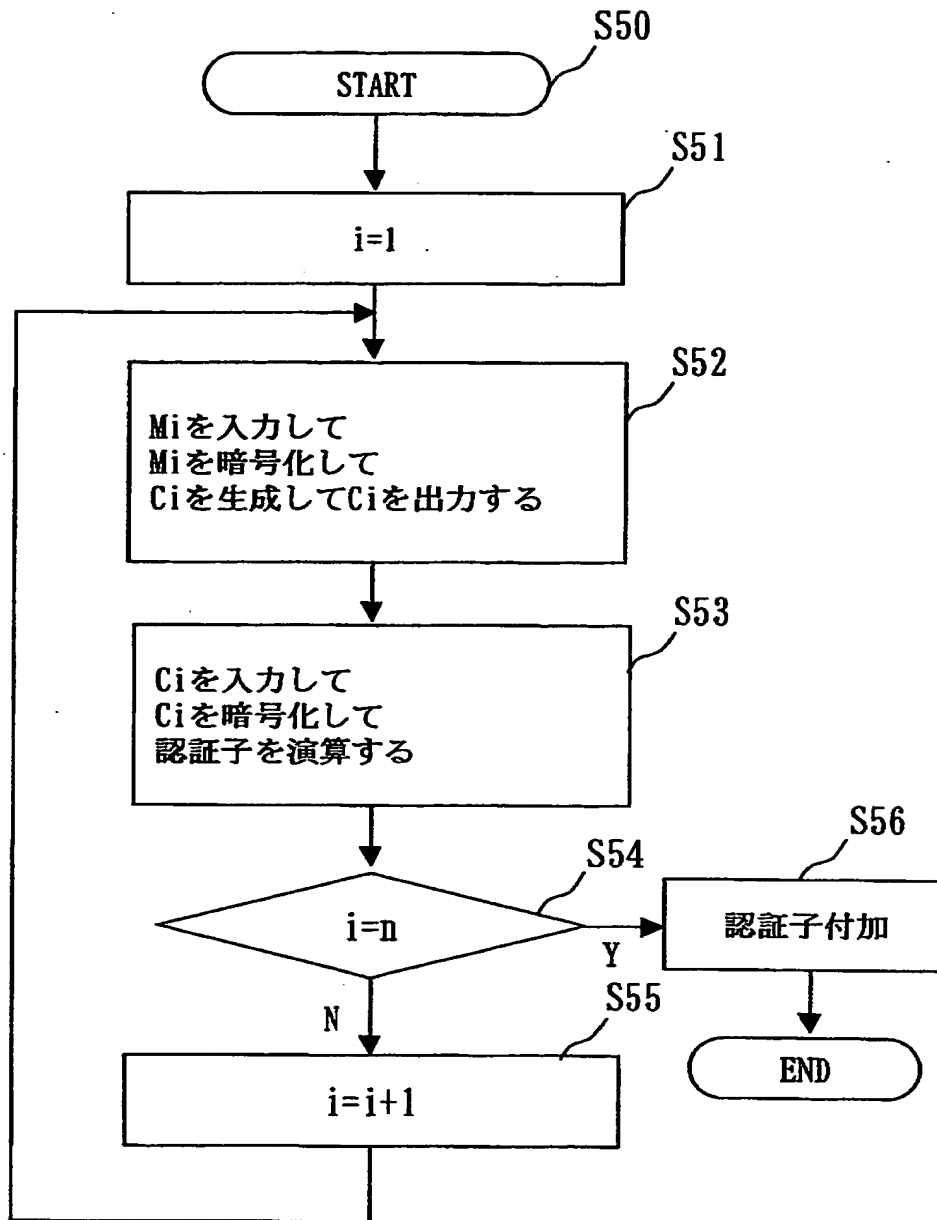
【図 21】



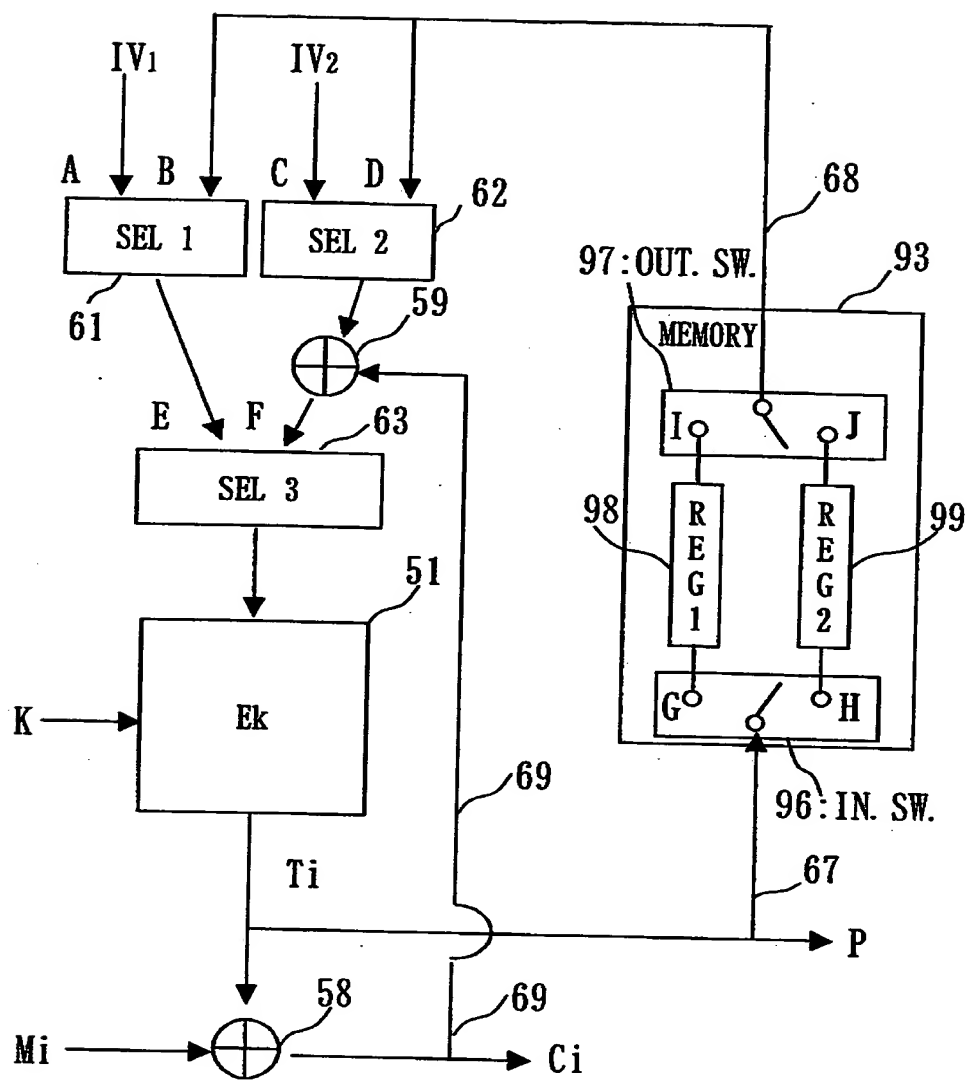
【図 2 2】



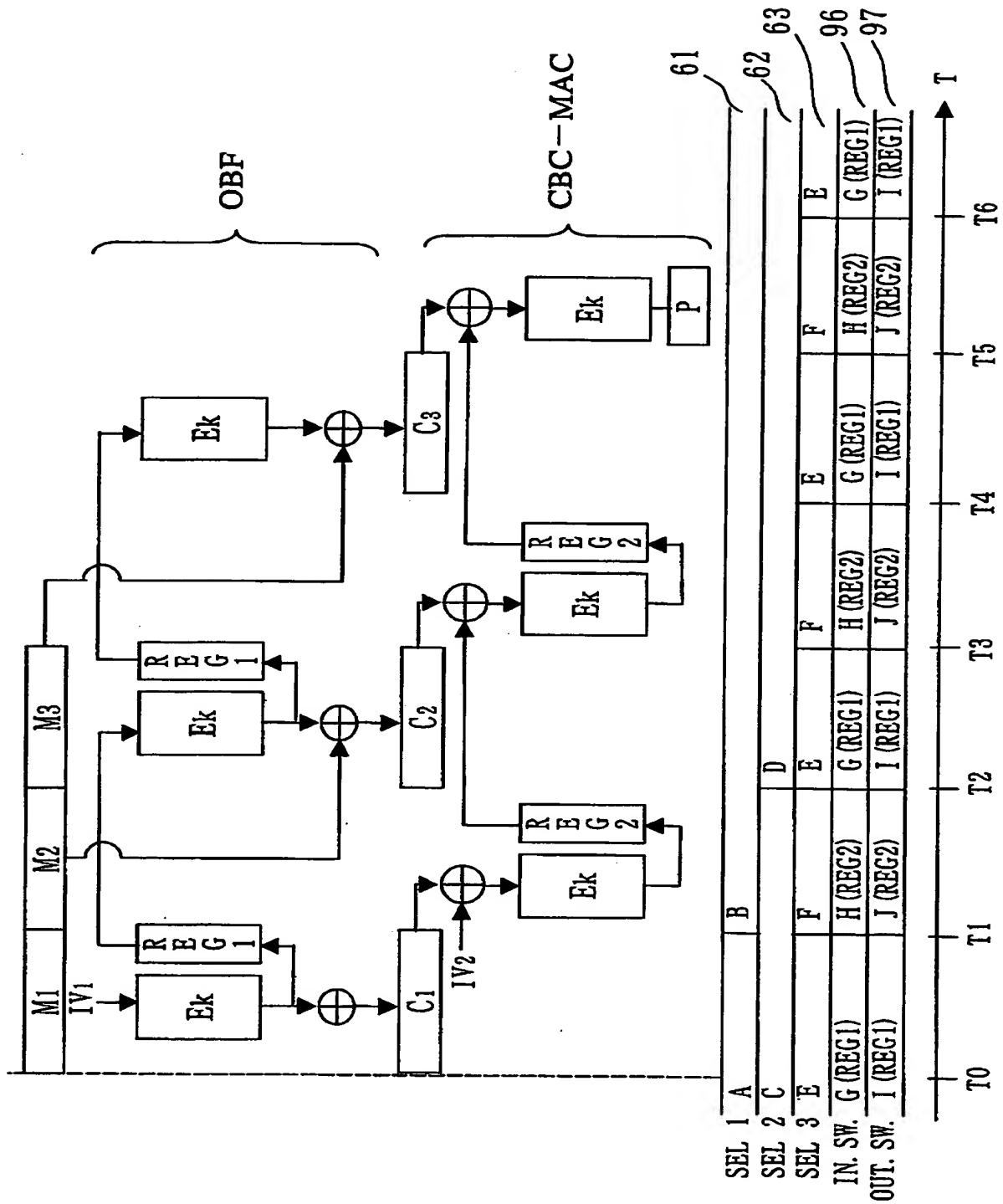
【図 2 3】



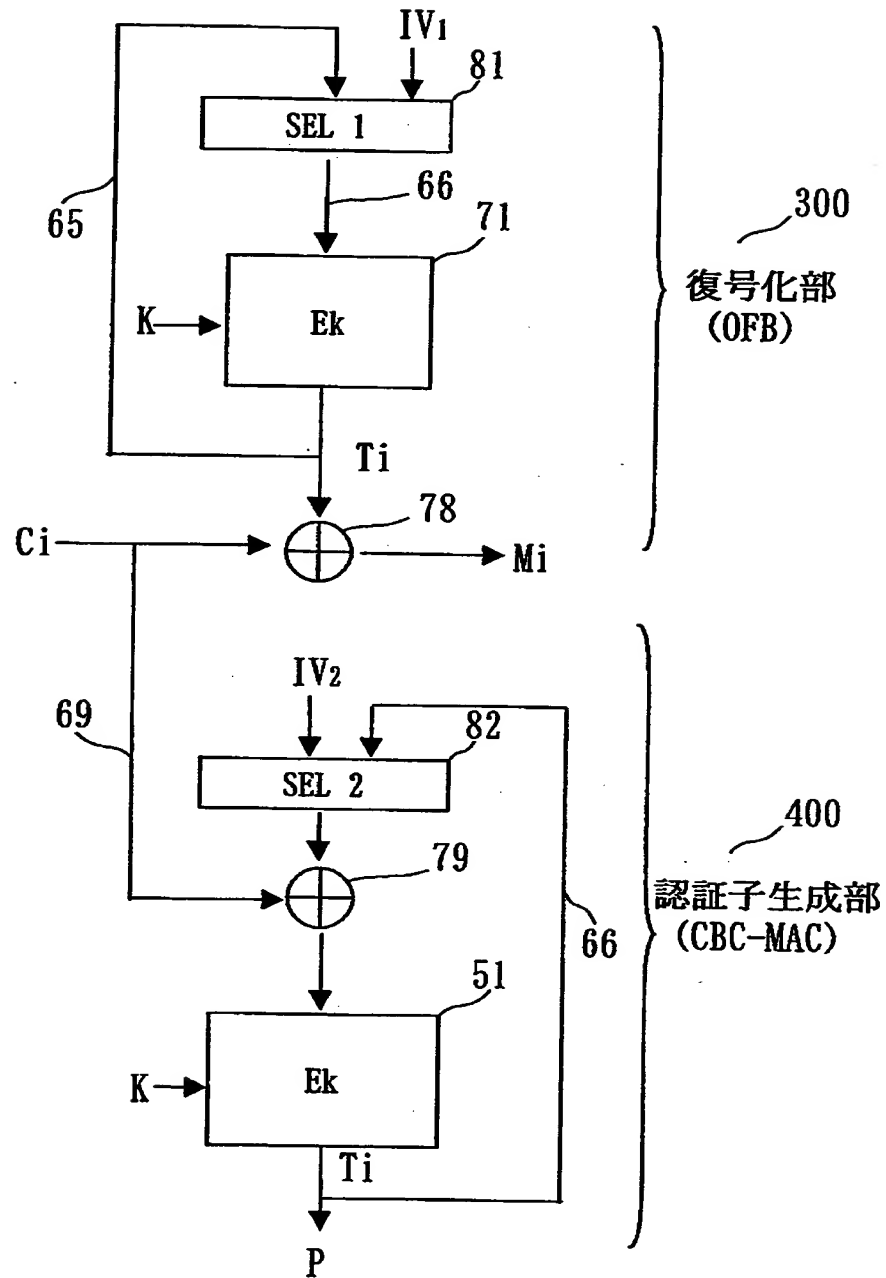
【図 2 4】



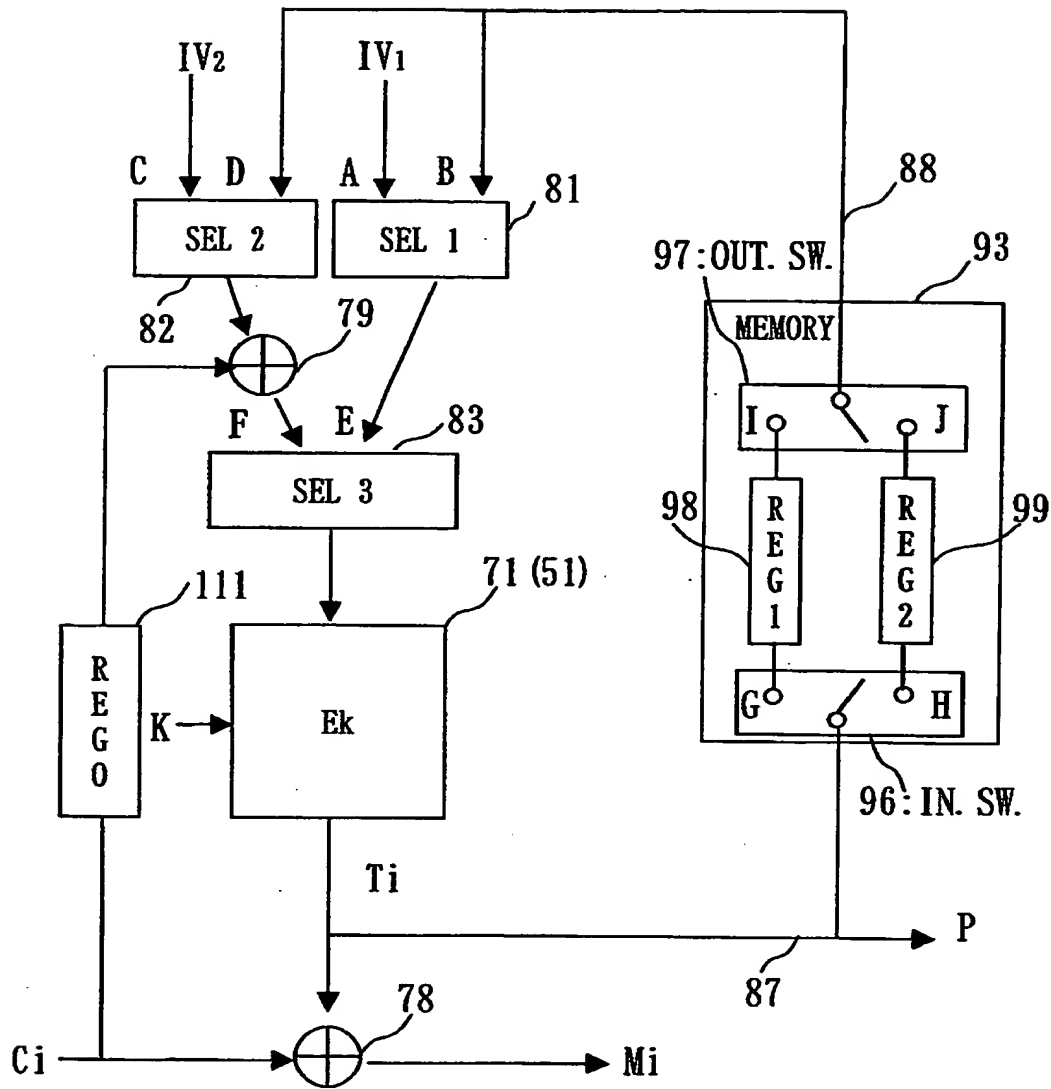
【図 25】



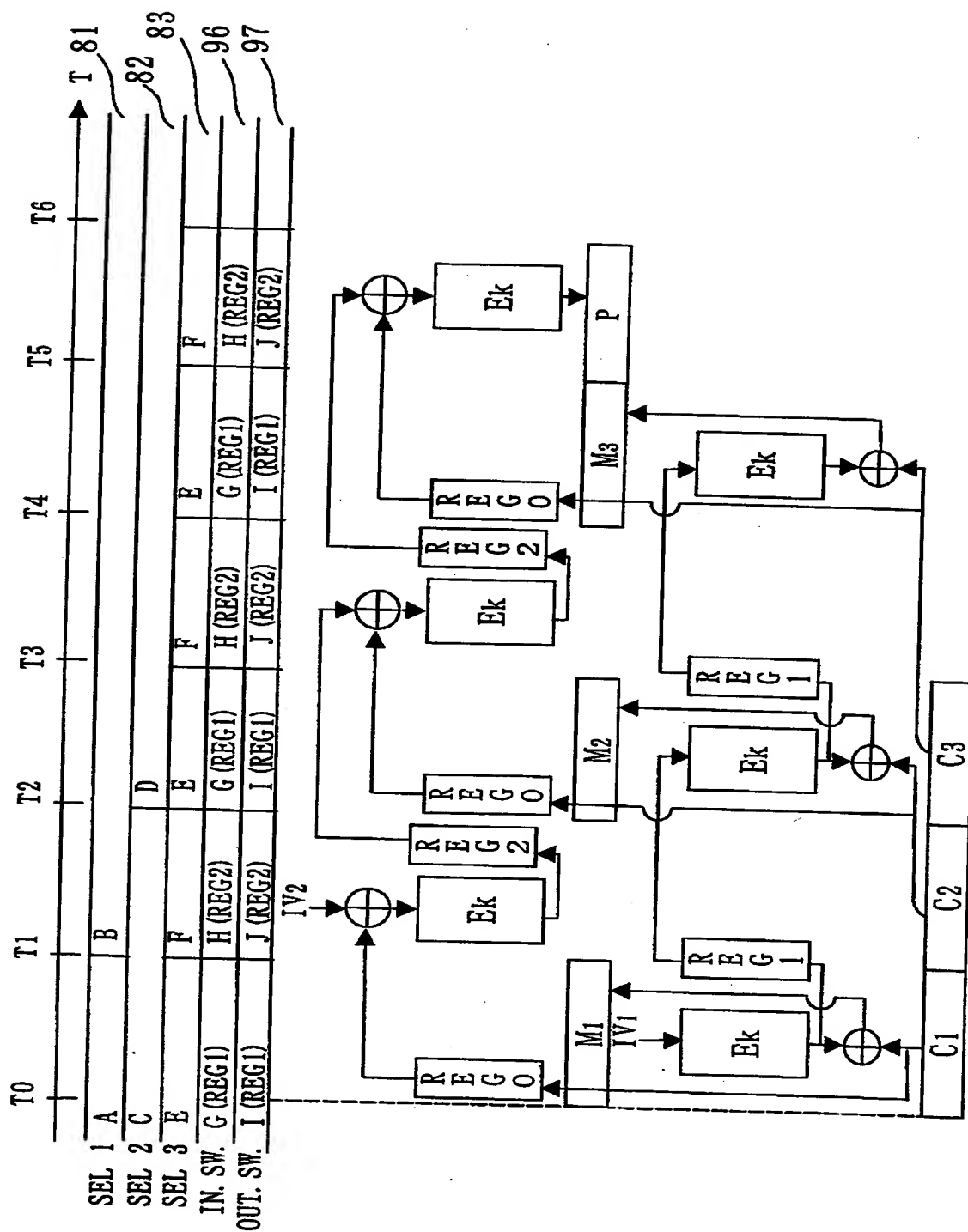
【図 2 6】



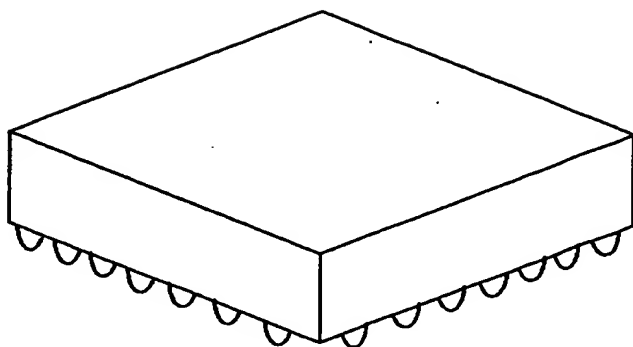
【図 27】



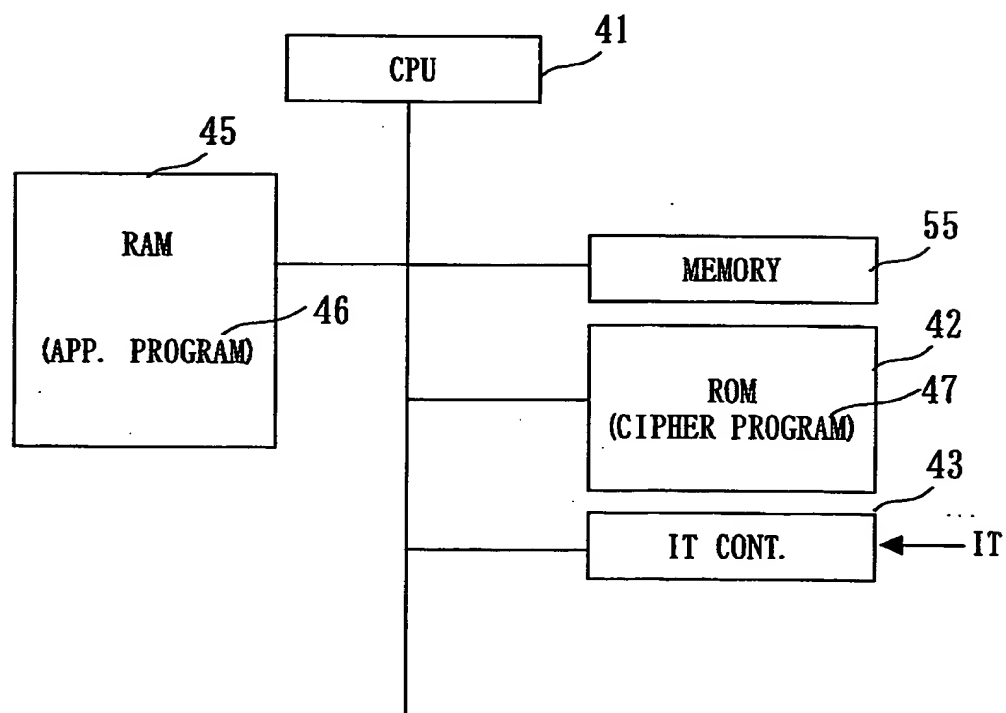
【図 28】



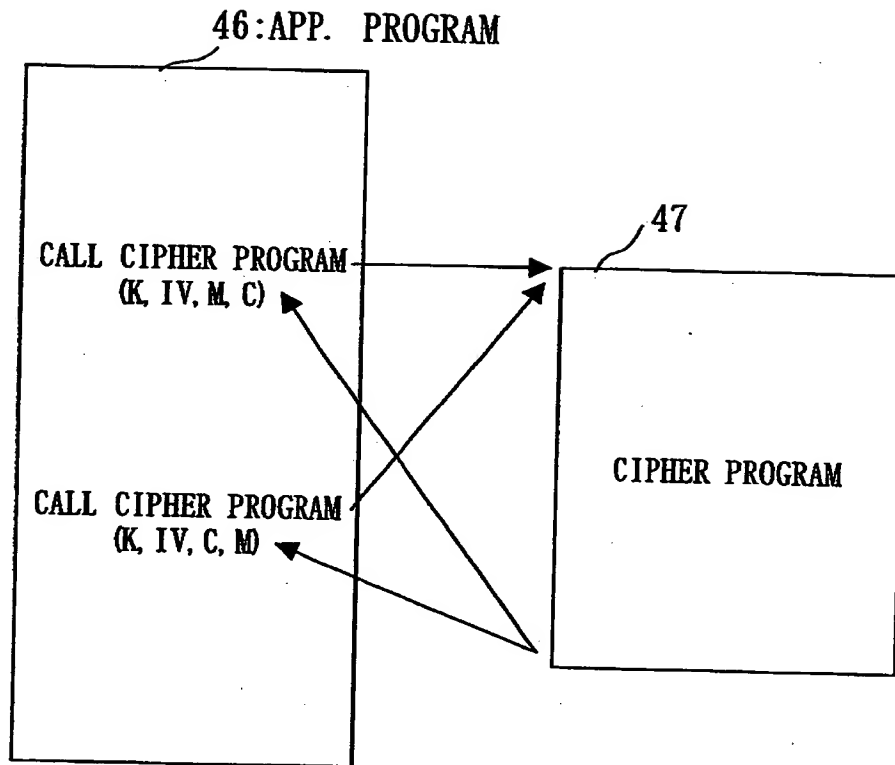
【図 29】



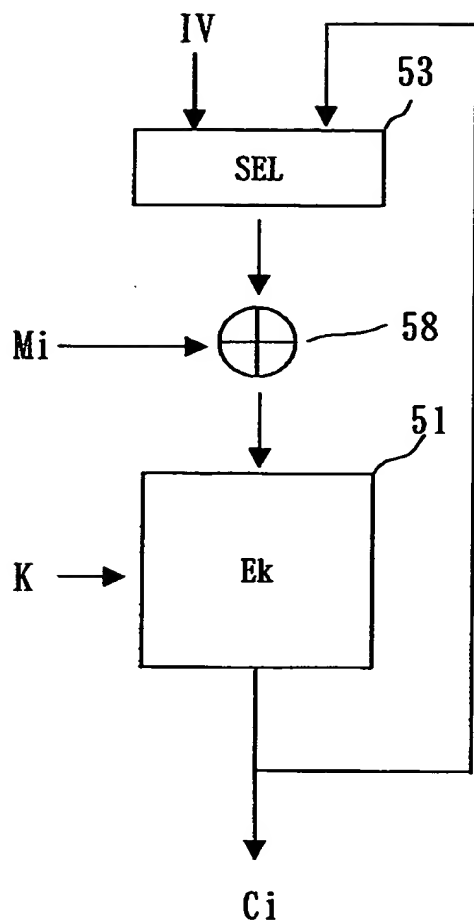
【図 30】



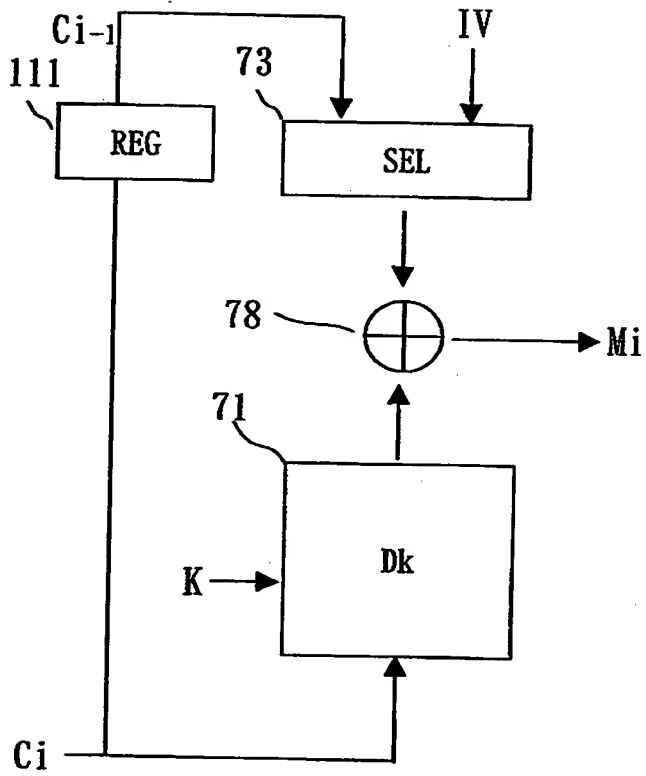
【図 31】



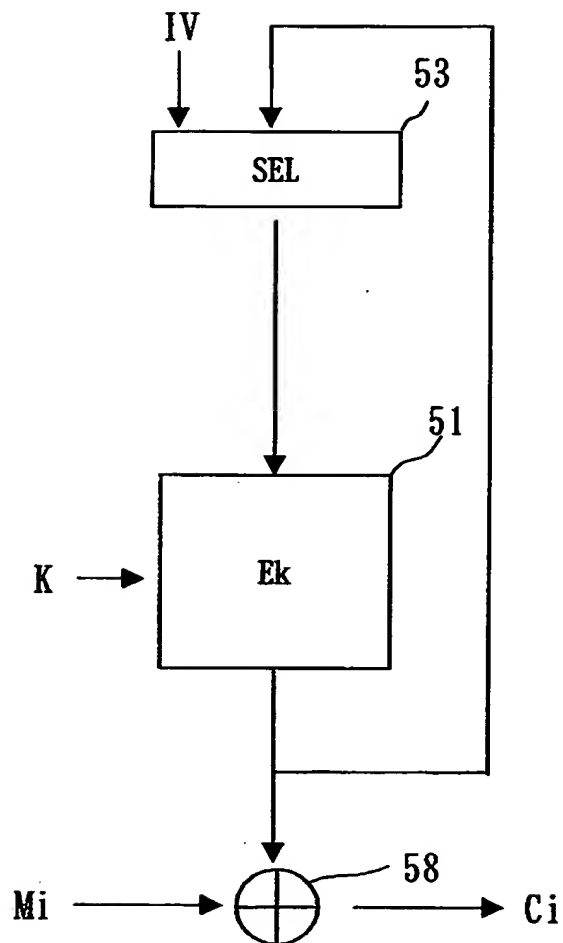
【図 3 2】



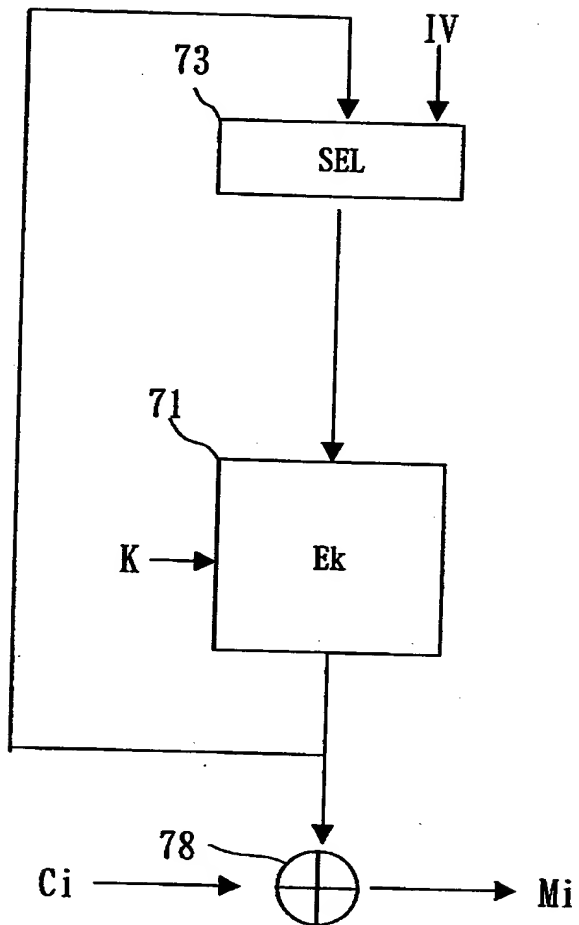
【図 33】



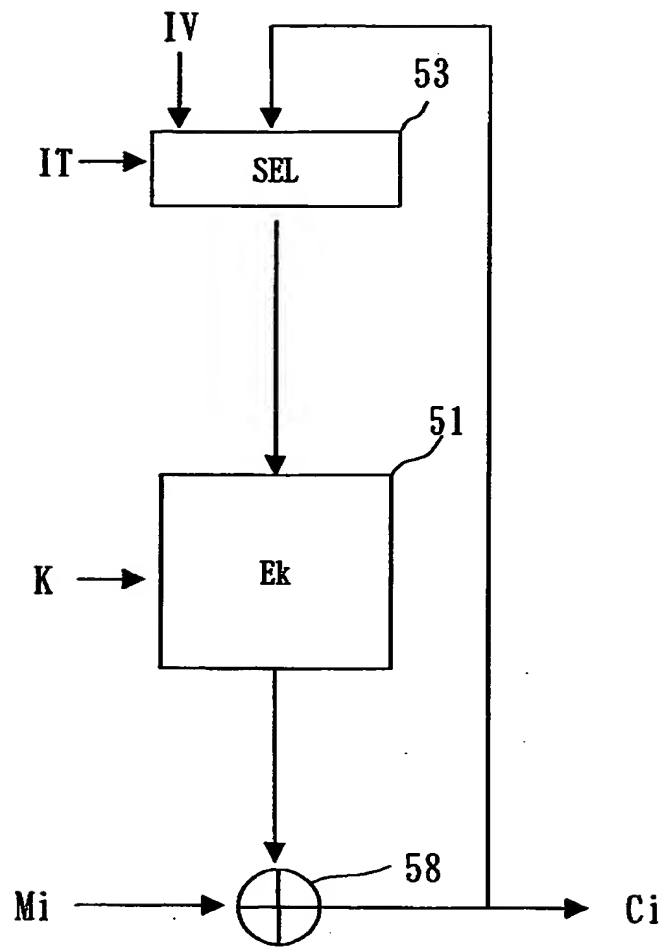
【図 3 4】



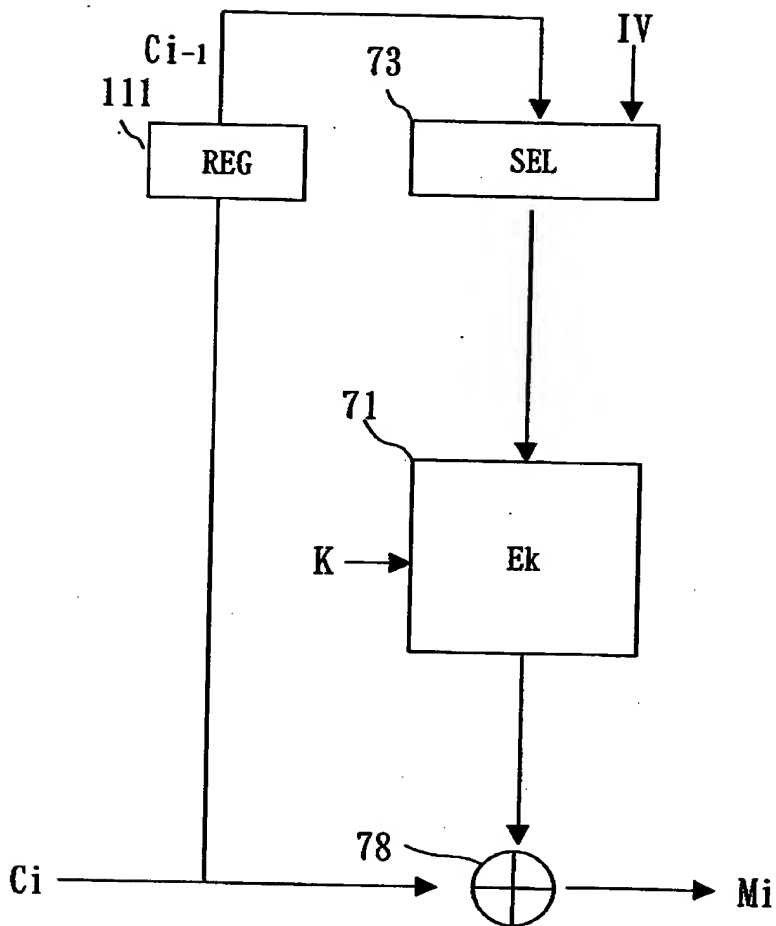
【図 3 5】



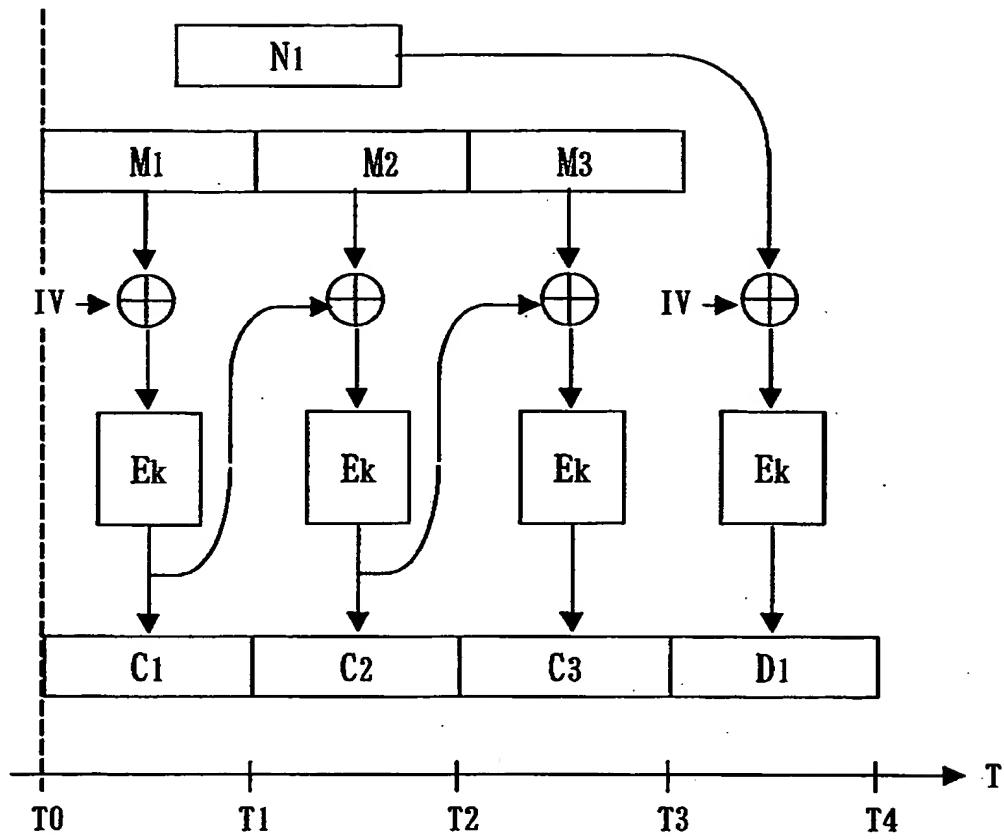
【図 3 6】



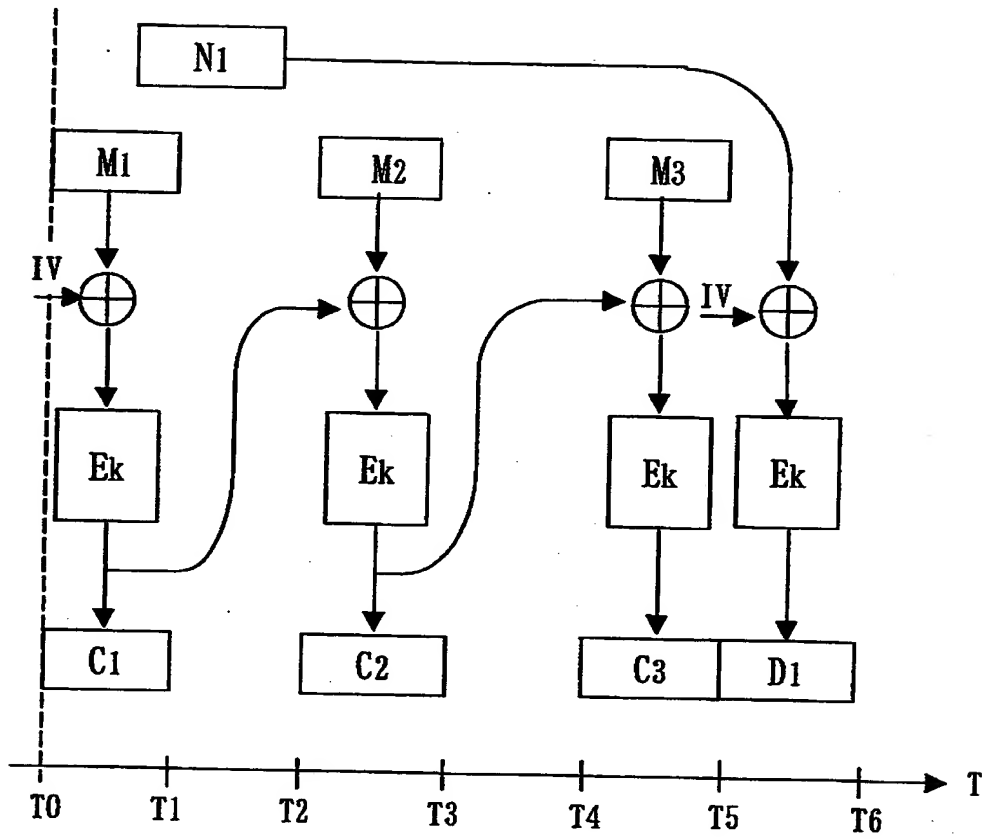
【図 3 7】



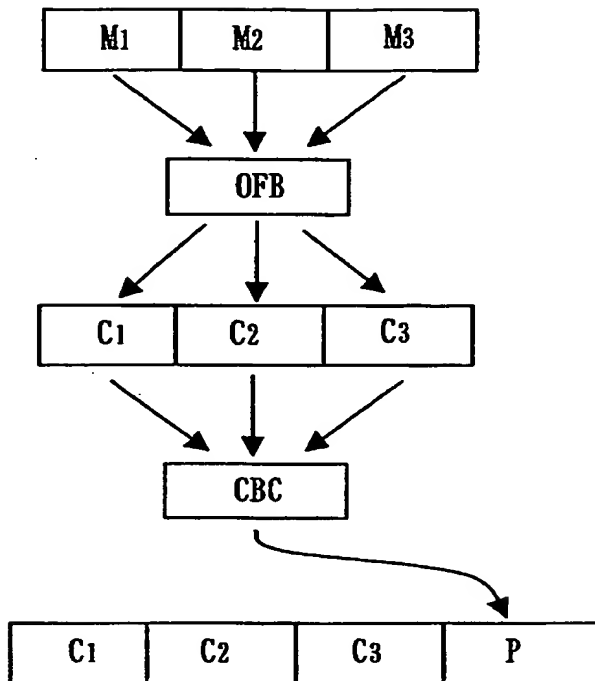
【図 3 8】



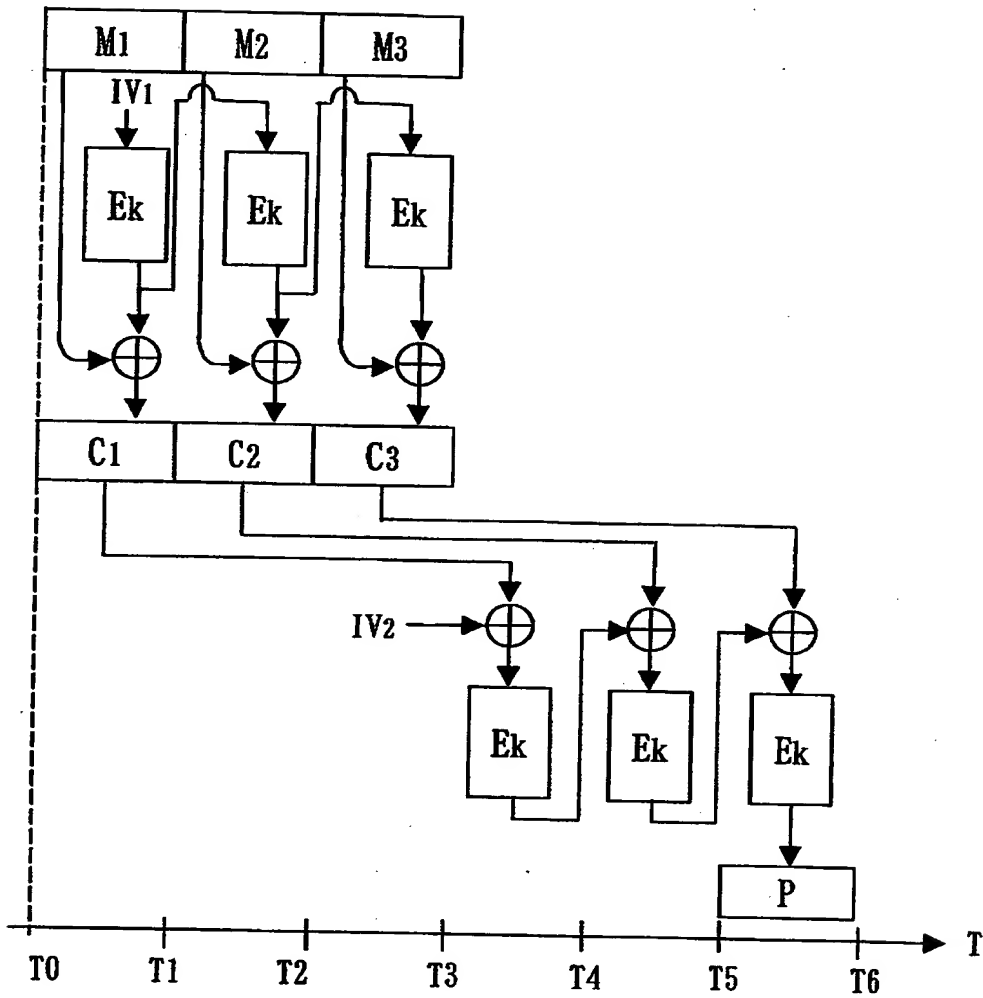
【図 3 9】



【図40】



【図 4 1】



【書類名】 要約書

【要約】

【課題】 暗号化の最中に他のデータの暗号化を行いたい。

【解決手段】 暗号鍵Kを用いた暗号化モジュール51からセレクタ54にフィードバックするフィードバックライン65に対して並列に設けられたメモリ55を配置する。平文ブロックデータ M_i を処理中に他のデータの平文ブロックデータ N_i を処理する割り込みITが発生した場合には、割り込みITが発生したときの暗号文ブロックデータ C_i をレジスタ56に記憶させ、平文ブロックデータ N_i の処理が終了した時点でメモリ55に記憶した暗号文ブロックデータ C_i をセレクタ54に選択させることにより平文ブロックデータ M_{i+1} の処理を開始する。

【選択図】 図1

特2000-005161

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社